

1. Introducción

La red telefónica básica es una red preparada para transmitir la señal de voz, la cual es una señal analógica. En los años 70 se produjo un creciente proceso de digitalización influyendo en los sistemas de transmisión, en las centrales de conmutación de la red telefónica, manteniendo el bucle de abonados de manera analógica. Por lo tanto cuando la señal de voz, señal analógica llega a las centrales que trabajan de manera digital aparece la necesidad de **digitalizar** la señal de voz.

El sistema de codificación utilizado para digitalizar la señal telefónica fue la técnica de modulación por impulsos codificados, cuyos parámetros de digitalización son:

- Frecuencia de muestreo: 8000
- Número de bits: 8
- Ley A (Europa)
- Ley μ (USA y Japón)

El tratamiento que se aplica a la señal analógica es: filtrado, muestreo y codificación de las muestras. La frecuencia de muestreo F_s es siempre superior a la Nyquist.

La codificación de las muestras requiere del proceso de cuantificación, el cual introduce un error a la hora de digitalizar la señal. La cuantificación se puede realizar de dos maneras: uniforme y no uniforme. En la cuantificación uniforme el tamaño del escalón es uniforme mientras que en la no uniforme el tamaño es variable y su valor depende de las muestras de la señal de entrada. La manera de realizar esta asignación de las muestras de entrada es mediante el uso de las leyes:

- Ley A
- Ley μ

Cuyas expresiones matemáticas de la ley A son:

$$y = \begin{cases} \frac{1 + \ln A \cdot |X|}{1 + \ln A} & \frac{1}{A} \leq |X| \leq 1 \\ \frac{A \cdot |X|}{1 + \ln A} & 0 \leq |X| < \frac{1}{A} \end{cases}$$

Las expresiones matemáticas de la Ley μ es:

$$y = \frac{\ln|1 + \mu|X||}{\ln|1 + \mu|} \quad 0 \leq |X| \leq 1$$

En las expresiones anteriores, X es la señal de entrada expresadas en unidades de tensiones normalizadas y A y μ son una constante.

A cada muestra de la señal de entrada cuantificada se les asigna una palabra de 8 bits. El proceso puede resumirse como:

$$X(t) \rightarrow \text{muestra} \rightarrow X[n] \rightarrow \text{Ley A} \rightarrow \{b_7 \ b_6 \ b_5 \ b_4 \ b_3 \ b_2 \ b_1 \ b_0\}.$$

De los 8 bits, el bit más significativo se reserva para transmitir la información de signo. Por lo tanto disponemos de 7 bits para codificar las muestras de la señal (valores en valor decimal de 0 a 127).

En la figura 1, aparece la Ley A representada en color rojo. En el eje x los datos de la señal de entrada X y en el eje y, aparece los valores codificados (de 0 a 127). Proyectando los valores del eje y sobre la curva A y los puntos obtenidos de la curva A sobre el eje x, observamos los intervalos de cuantificación y cómo éstos son cada vez más pequeños a medida que nos acercamos al origen. Esto quiere decir que las muestras cercanas al origen son codificadas con mayor precisión que las muestras con valores mayores.

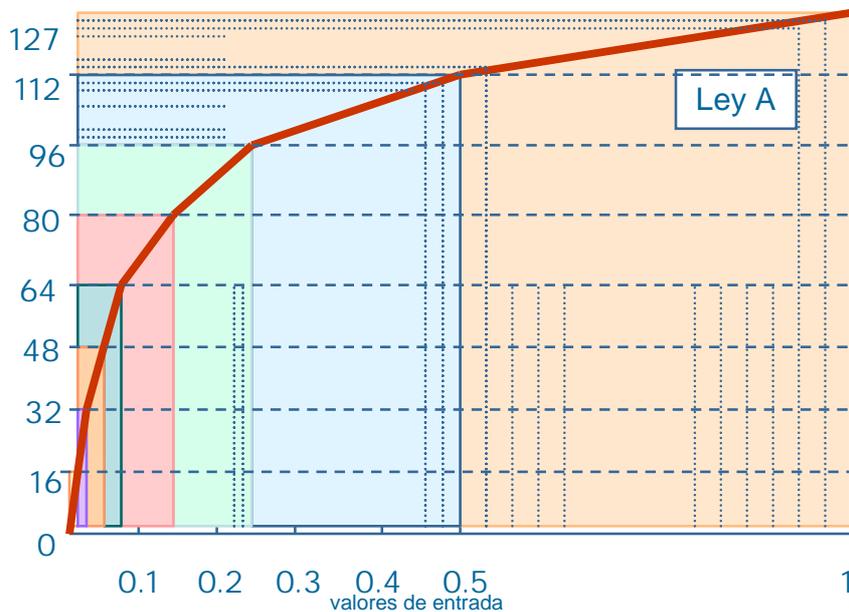


Figura 1. Ley A.

El aplicar esta técnica de cuantificación no uniforme supone que el error de cuantificación cometido en las muestras cercanas al origen es menor aumentando por tanto la calidad del sistema.

A la hora de implementar la Ley A se realiza mediante aproximación por 8 segmentos. En la figura 1, cada segmento aparece representado por un color.

2. Multiplexación por división en el tiempo (MDT)

Hemos analizado que en el proceso de digitalización de la señal, se muestrea la señal a la frecuencia de muestro, F_s . Esto quiere decir que entre muestra y muestra hay un intervalo de tiempo T_s ($T_s=1/F_s$). Durante este intervalo de tiempo se puede enviar muestras procedentes de otras fuentes de información. En esto justamente consiste la multiplexación por división en el tiempo.

Una forma de clasificar los tipos de redes existentes es atendiendo al esquema de multiplexación. La multiplexación es un proceso que permite obtener una señal, que denominaremos **agregado**, a partir de la combinación de unos afluentes o señales **tributarias**.

Existen dos esquemas básicos de multiplexación, denominados multiplexación determinística y multiplexación estadística.

En la multiplexación determinística, la información tiene asignado un *slot* de tiempo asignado. Sus principales características son:

- La transmisión siempre es síncrona.
- La velocidad del agregado resultante es igual a la suma de las velocidades de los tributarios más la información de control como cabecera, señalización, control de errores y posible justificación de bits.
- Las tramas se repiten un número regular de veces normalmente 8000 veces por segundo.
- Simplicidad y retardo pequeño.

Ejemplos de tecnologías que utilizan este esquema de multiplexación son: la jerarquía digital Síncrona (PDH, Plesiochronous Digital Hierarchy), jerarquía digital síncrona (SDH, Synchronous Digital Hierarchy) y la Red Digital de Servicios Integrados (RDSI).

Para la transmisión de datos donde la velocidad es variable la multiplexación estadística es más eficiente. Cada señal tributaria ocupa lo estrictamente necesario para transportar los datos. Las características de este esquema de multiplexación son:

- La transmisión puede ser síncrona o asíncrona.
- La velocidad del agregado puede ser inferior a la suma de las velocidades de los tributarios, ya que cada tributario transmite por ráfagas.

3. Jerarquía Digital Plesiócrona (PDH)

En la década de los setenta empezaron a aparecer los primeros sistemas digitales de transmisión basados en PCM (Modulación por Impulsos Codificados). Este sistema digitaliza la señal telefónica. Los parámetros de digitalización son:

- Frecuencia de muestreo: 8000
- Número de bits: 8
- Ley A (Europa)
- Ley μ (USA y Japón)

Una vez digitalizada se transmite por la línea junto con el resto de señales utilizando técnicas de multiplexación por división en el tiempo (TDM). La señal de 4 KHz queda convertida en un flujo de bits que se transmite a 64 Kbps. Esta velocidad es la unidad de conmutación utilizada en las redes.

3.1 La trama básica E1 de 2 Mbps

La trama básica utilizada en los sistemas europeos es la trama de 2 Mbps, también denominada E1. En la Recomendación G.703 queda definida su estructura básica, la trama de 2 Mbps (E1), como la agrupación de 30 canales de voz más dos canales adicionales: alineamiento y señalización con 8 bits cada una. Ver figura 2.

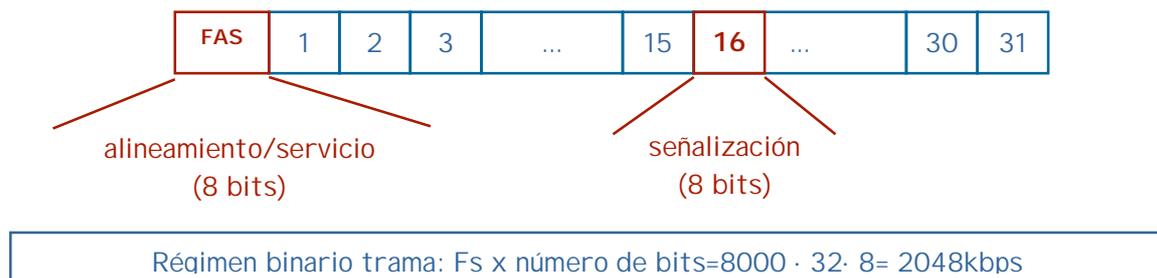


Figura 2. Trama de 2 Mbps, E1.

Como puede apreciarse en la figura 2, la trama de 2 Mbps está subdividida en 32 intervalos (*slots*) de tiempo, cada uno de ellos con 8 bits. Tiene por lo tanto una longitud de $32 \text{ bytes} \cdot 8 \text{ bits} = 256 \text{ bits}$. La trama tiene una frecuencia de muestreo de 8000 veces por segundo, es decir se envía una trama cada $125 \mu\text{s}$, por lo que el régimen binario es de 2048 Kbps.

La trama básica de 2 Mbps representa un buen ejemplo de multiplexación determinística, tal y como se comentó en el apartado anterior, el agregado (trama E1) se forma mediante un proceso de multiplexación de 30 canales tributarios, al que se le suma una señal de cabecera e información de señalización.

El intervalo de tiempo cero es utilizado para transportar la señal de alineamiento de trama (FAS, Frame Alignment Signal), siendo transmitida cada dos tramas y alternándose con una palabra de alarmas, denominada NFAS (Not Frame Alignment Signal).

El intervalo de tiempo 16 se utiliza bien para transportar la señalización asociada de los canales útiles:

1. Señalización CAS (Channel Associated Signaling).
2. Señalización Canal D del acceso primario de la RDSI.
3. Señalización y control del protocolo de acceso V.5

Con la introducción de la señalización por canal común (SS7), el intervalo de tiempo 16 pasa a utilizarse para transporte de un canal útil adicional de datos o voz. La señalización de todos los canales útiles de varias tramas es transportada en un canal útil (de una de las tramas) designado para ello pero de manera no asociada forzosamente a los canales de su propia trama.

3.2 Alineamiento de la trama E1

El intervalo de tiempo o canal 0 se utiliza para transmitir la cabecera de la trama de la trama de acuerdo con el siguiente esquema:

1. La palabra de alineamiento de trama (FAS) se transmite en las tramas pares 0, 2, 4, 6 y contiene la secuencia binaria **Sj 0 0 1 1 0 1 1**. El primer bit **Sj** está reservado para uso internacional. Suele tener el valor 1 o se utiliza para albergar un código CRC-4, el cual será tratado más adelante.
2. En las tramas impares se utiliza el canal 0 para transmitir información de servicio. La secuencia **Sj 1 A A X X X X**. El primer bit **Sj** está reservado para uso nacional o

para albergar información de alineamiento. El segundo bit se fija a 1 para evitar la simulación de la palabra de alineamiento de trama. El siguiente bit, primer bit A (más significativo) se utiliza para enviar información de alarmas urgentes. El siguiente también es un bit de alarma pero no urgentes. Los bits X se reservan para uso nacional.

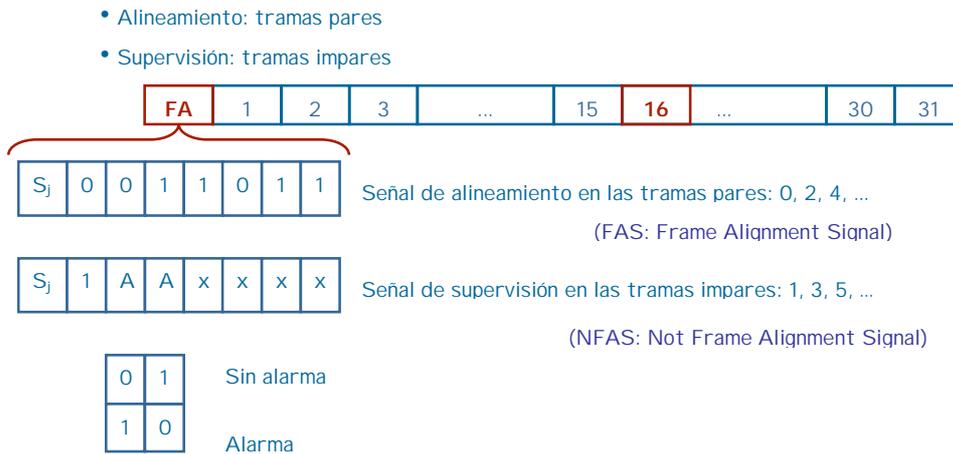


Figura 3. Alineamiento de la trama de 2 Mbps

3.3 Señalización CAS de la trama E1

Una de las aplicaciones del canal 16 era el transporte de la señalización CAS, la información necesaria para conmutar y encaminar los 30 canales (códigos de señalización y estado). Para enviar la señalización correspondiente a un canal se utiliza 4 bits. Los otros 4 bits del intervalo de tiempo 16 se utilizan para enviar la señalización de otro canal. Esto quiere decir que por trama se señalizan 2 canales. Para señalar los 30 canales es necesario enviar 15 tramas. La manera de señalar será en la trama i , se señalarán los canales i y canal $i+16$, ver tabla 1. Debido a que se necesita 15 tramas para señalar los 30 canales se necesita crear una multitrama de señalización la cual debe contener información de alineamiento de multitrama. Esta información se envía en el intervalo de tiempo 16 de la trama 0, y en las 15 tramas siguientes la información de señalización.

Trama	Canal 16	
	4 bits	4 bits
0	0 0 0 0	1 0 1 1
1	Canal 1	Canal 17
2	Canal 2	Canal 18
3	Canal 3	Canal 19
4	Canal 7	Canal 20
...
13	Canal 13	Canal 29
14	Canal 14	Canal 30
15	Canal 15	Canal 31

Tabla 1. Señalización en intervalo de tiempo 16

3.4 La trama extendida E1

Para aumentar las facilidades de gestión en la trama E1 de la RDSI de banda estrecha fue definida la trama E1 extendida, Recomendación G.704 de la ITU-T.

La justificación de la extensión de la trama E1 es que con la introducción de la RDSI, se proporciona a los usuarios canales transparentes (la señal se transmite a lo largo de todo el trayecto sin ningún tipo de alteración y por tanto se conserva la integridad de los bits). Sin embargo existe la posibilidad que el usuario pueda transmitir el patrón de bits **10011011**, el cual corresponde con la señal de alineamiento de la trama de 2 Mbps. Esto puede dar lugar a que el multiplexor se resincronice a esta aparente señal de alineamiento, con la consiguiente asignación incorrecta de los canales.

Por lo tanto se decidió utilizar el primer bit del canal 0, **Sj** de las tramas pares e impares para implementar un proceso de doble alineamiento más la monitorización de errores denominado Comprobación de Redundancia Cíclica o CRC. Como se dispone de un único bit para enviar la información de doble alineamiento más la información de CRC, esta información se envía bit a bit en tramas sucesivas.

1. La información de alineamiento se envía en las tramas impares enviando la secuencia bit a bit 001011 (ver tabla 2, color rojo).
2. La información de CRC se envía en las tramas pares. El código CRC utilizado es de 4 bits (CRC-4) y se calcula sobre 8 tramas E1 utilizando el polinomio generador x^4+x+1 .
3. Los bits E2 y E1, ver tabla 2, se utilizan cuando se ha detectado errores en la transmisión.

El procedimiento de cálculo del código CRC-4 aparece en la figura 4 y se explica a continuación. En el emisor se toma un bloque de datos, formado por 8 tramas, y se calcula el código CRC-4 y se procede a la transmisión de las 8 tramas. El código se envía en el siguiente bloque de 8 tramas. En el receptor se calcula el CRC-4 y se compara con los bits de CRC que llegarán en los 8 tramas siguientes. Si se produce error en la transmisión se actúan en los bits E1 y E2 en las tramas en sentido contrario.

Se destaca que este método proporciona información sobre la existencia de uno o más errores pero no se contabiliza su número, ni los localiza.

Nº Trama	Tipo	Canal 0		Nº Trama	Tipo	Canal 0	
		Sj	7 bits			Sj	7 bits
0	FAS	C1	0011011	8	FAS	C1	0011011
1	NFAS	0	1AAXXXX	9	NFAS	1	1AAXXXX
2	FAS	C2	0011011	10	FAS	C2	0011011
3	NFAS	0	1AAXXXX	11	NFAS	1	1AAXXXX
4	FAS	C3	0011011	12	FAS	C3	0011011
5	NFAS	1	1AAXXXX	13	NFAS	E1	1AAXXXX
6	FAS	C4	0011011	14	FAS	C4	0011011
7	NFAS	0	1AAXXXX	15	NFAS	E2	1AAXXXX

Tabla 2. Uso del bit Sj del canal 0 en la trama E1 extendida

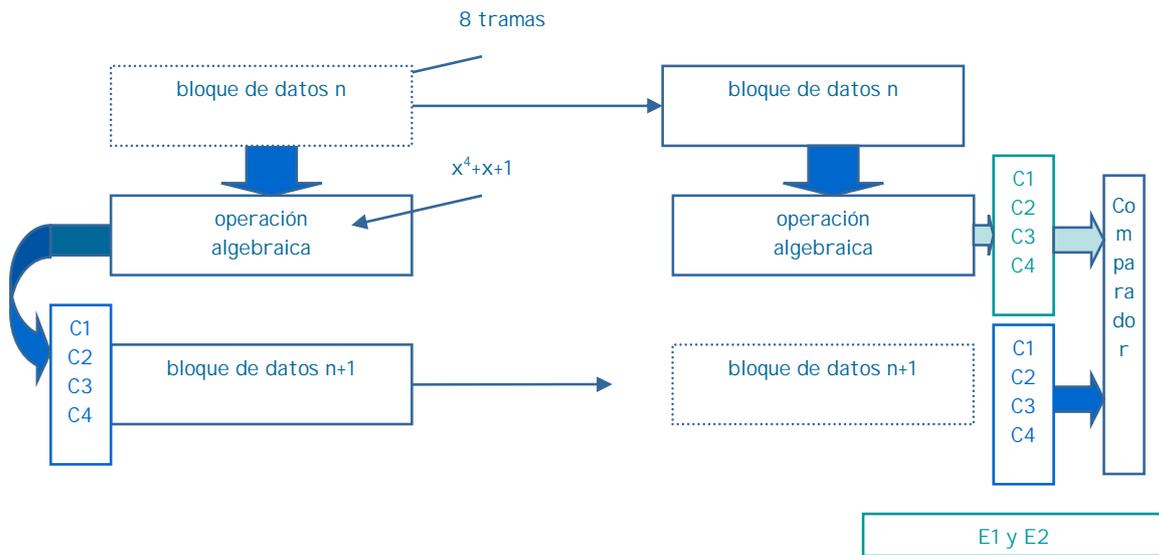


Figura 4. Procedimiento de cálculo del código CRC-4 en las tramas extendidas

Este método tiene el objetivo de:

1. Evitar la incorrecta sincronización del receptor, en el caso de que el contenido de uno de los canales coincida con el patrón de bits de alineamiento de las tramas pares.
2. Proporcionar información sobre la existencia de errores en la transmisión de los canales de usuario.

3.5 Jerarquías de orden superior E2, E3 y E4

La trama de 2 Mbps (E1) se puede combinar para dar lugar a niveles superiores: 8Mbps, 34 Mbps, 140 Mbps y 565 Mbps.

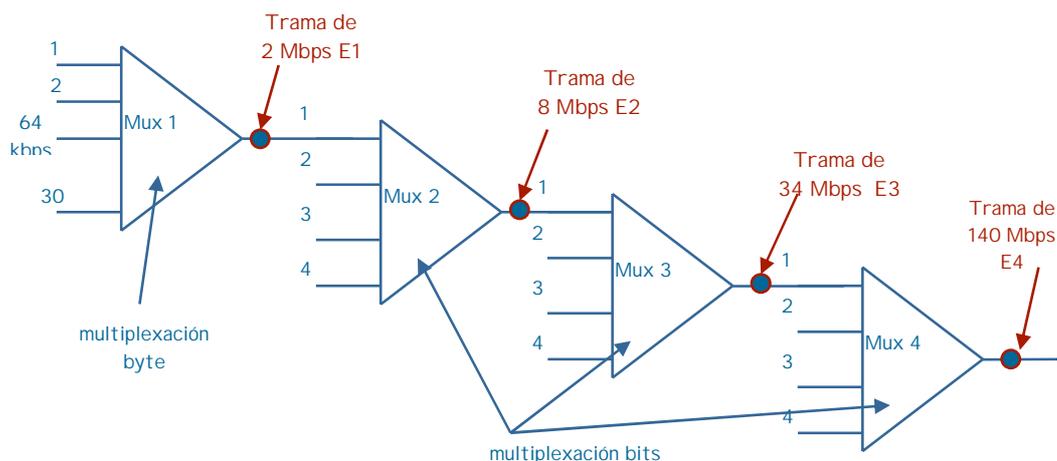


Figura 5. Agregados de orden superior de la Jerarquía Digital Plesiócrona.

Las señales agregadas de orden superior se multiplexan con 4 señales de entrada. La trama de 2 Mbps se obtiene como resultado de multiplexar 30 canales más 2 canales, uno de alineamiento y otro de señalización. El siguiente orden de multiplexación se formaría a partir de multiplexar 4 tramas de 2 Mbps dando como resultado la trama de 8 Mbps o trama E2. El siguiente orden se obtiene al multiplexar 4 tramas E2, dando lugar a la trama E3 o trama de 34 Mbps. La trama de 140 Mbps o trama E4 se obtiene como resultado de multiplexar 4 tramas de 34 Mbps o tramas E3. Señalar que la trama E1 se forma a partir de la multiplexación a nivel de bytes de los canales de información y que las tramas E2, E3 y E4 se forman a partir de la multiplexación a nivel de bits. Indicar que esto supone un problema a la hora de extraer la información de un canal, ya que se demultiplexar todos los niveles.

Otro de los problemas que aparecen al multiplexar es la diferencia de velocidad que presentan las distintas líneas de entrada al transmisor, producidas por las imprecisiones de los relojes de los transmisores. Unas señales irán más rápido que otras, esto ocasiona:

- Si el régimen binario de una línea es mayor del debido, el multiplexor no tendrá tiempo de llegar a leer todos los bits en cada una de sus vueltas.
- Si el régimen binario de una línea es menor del debido el multiplexor puede que lea el mismo bit dos veces seguidas.

Para resolver este problema se utiliza un mecanismo denominado justificación de bits o relleno de bits positivo o negativo.

4. Conclusiones

Las conclusiones de este tema son:

- Que la unidad básica de la jerarquía digital plesiócrona es la trama de 2 Mbps. Que se forma a partir de la multiplexación a 30 canales de voz o datos más un canal de alineamiento, intervalo de tiempo 0 y un canal de señalización, intervalo de tiempo 16. Y que la multiplexación se realiza a nivel de bytes.
- La multiplexación de tributarios de 2 Mbps (E1) para formar tributarios de orden superior (E2) obedece a un esquema basado en el tratamiento de bits.
- Que debido al desfase acumulado de la velocidad del tributario, a la hora de la multiplexación da origen a la justificación de bits. Esto es debido a que los multiplexores operen con relojes propios
- Para localizar los bits de información debe demultiplexarse, por lo que se requiere de interfaces que trabajen a velocidades diferentes.
- El interfaz físico de 8 Mbps se ha dejado de implementar, sustituyéndolo por multiplexores que manejan 16 E1 → E3.

3. Jerarquía Digital Síncrona (SDH)

La jerarquía digital síncrona (SDH) se puede considerar como la evolución de los sistemas de transmisión, como consecuencia de la utilización la fibra óptica como medio de transmisión y como necesidad de sistemas más flexibles y que soporten anchos de banda grandes.

La jerarquía SDH se desarrolló en EE.UU bajo el nombre de SONET (Synchronous Optical Network) y posteriormente el CCITT (actualmente la ITU-T) en 1989 publicó una serie de recomendaciones donde quedaba definida esta jerarquía con el nombre de SDH. En la tabla 1 aparece la correspondencia entre SONET y SDH.

Uno de los objetivos de esta jerarquía estaba en el proceso de adaptación del sistema PDH, ya que el nuevo sistema de jerarquía se implantaría paulatinamente y debía convivir con la jerarquía plesiócrona instalada. Esta es la razón por la que la ITU-T normalizó el proceso de transportar las antiguas tramas en la nueva. La trama básica en SDH es STM-1 (Synchronous Transport Module), con una velocidad de 155.52 Mbps (ver tabla 1).

ITU-T	SONET	Velocidad
64 kbps		
STM-0	STS-1/OC-1	51.84 Mbps
STM-1	STS-3/OC-3	155.52 Mbps
STM-3	STS-9/OC-9	466.56 Mbps
STM-4	STS-12/OC-12	622.08 Mbps
STM-6	STS-18/OC-18	933.12 Mbps
STM-8	STS-24/OC-24	1244.16 Mbps
STM-12	STS-36/OC-36	1866.24 Mbps
STM-16	STS-48/OC-48	2488.32 Mbps
STM-64	STS-192/OC-192	9953.28 Mbps

Tabla 1. Jerarquía Digital Síncrona, (SDH)

Cada trama va encapsulada en un tipo especial de estructura denominada contenedor. Una vez se ha encapsulado se añade cabeceras de control que identifican el contenido de la estructura y el conjunto se integra dentro de la estructura STM-1. Los niveles superiores se forman a partir de multiplexar a nivel de byte varias estructuras STM-1, dando lugar a los niveles STM-4, STM-14 y STM-64.

3.1 Modelo de Referencia

Se define trayecto como el tramo comprendido entre puntos de ensamblado y desensamblado de contenedores virtuales, es decir aquellos puntos donde se inserta o extrae la carga de transporte. Hay dos tipos fundamentales de trayecto:

1. Alto orden (HOP, High Order Path): es aquel en el que varias cargas viajan juntas, separándose en algún punto (terminación del trayecto de alto orden) y uniéndose con otras en su viaje por la red.
2. Bajo orden (LOP, Low Order Path): están asociados a cargas individuales que circulan por la red, desde que entran hasta que salen por la red.

La sección de multiplexación o de línea está compuesta por elementos que pueden insertar o extraer carga de la señal de transporte, así como asociar varias señales de transporte a una jerarquía mayor (ejemplo: multiplexor SMT-1, STM-16, ADM (Add & Drop Mux, multiplexor de inserción y extracción)).

La sección de regeneradores está constituida por enlaces comprendidos entre elementos que no extraen o insertan carga. Su función es únicamente la de regenerar la señal para que alcance el otro extremo en perfectas condiciones.

Entre dos nodos multiplexores siempre existe una sección de regeneración, aunque no existan físicamente, los nodos multiplexores asumen la tarea de regeneración.

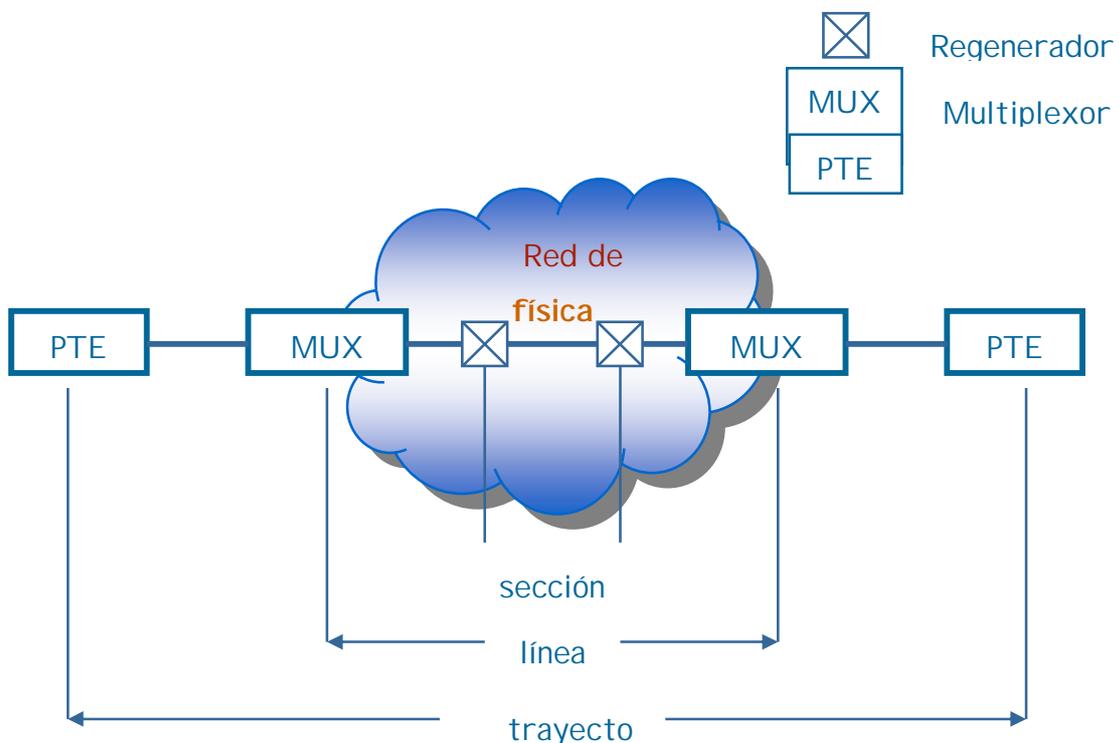


Figura 3. Arquitectura de red SDH

3.2 Estructura de la Trama STM-1

Las tramas contienen información de control de cada uno de los niveles de la red: trayecto, línea y sección; además de la información de usuario. Los datos son encapsulados en contenedores específicos para cada tipo de señal tributaria.

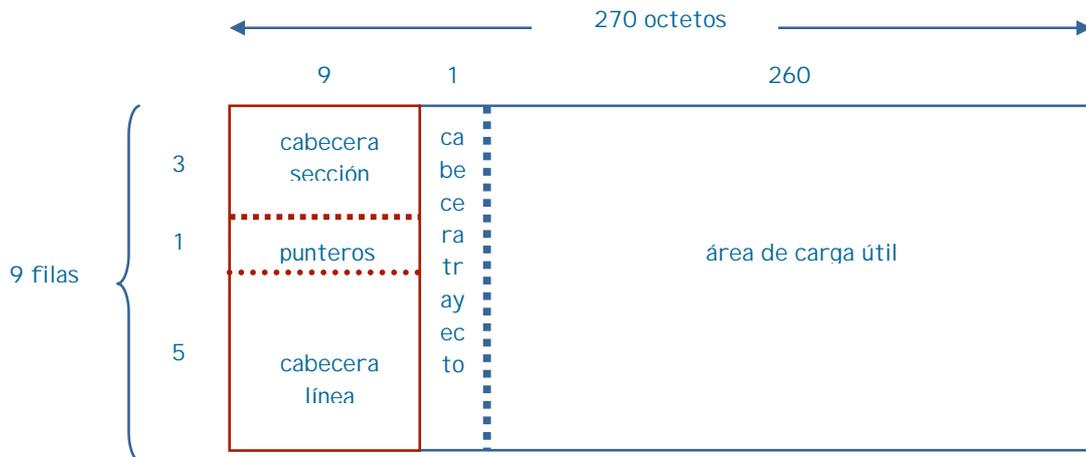


Figura 4. Estructura de la trama STM-1

La transmisión se realiza bit a bit en el sentido de izquierda a derecha y de arriba abajo. La trama se transmite a razón de 8000 veces por segundo. Por tanto el régimen binario es:

$$R_b(\text{STM-1}) = 8000 \cdot (270 \text{ octetos} \cdot 8\text{bits} \cdot 9 \text{ filas}) = 155.52 \text{ Mbps}$$

Para los siguientes niveles el régimen binario es:

$$R_b(\text{STM-4}) = 4 \cdot 8000 \cdot (270 \text{ octetos} \cdot 8\text{bits} \cdot 9 \text{ filas}) = 622 \text{ Mbps}$$

$$R_b(\text{STM-16}) = 16 \cdot 8000 \cdot (270 \text{ octetos} \cdot 8\text{bits} \cdot 9 \text{ filas}) = 2.5 \text{ Gbps}$$

3.2.1 Estructura de la cabecera de sección

Las nueve primeras columnas de la trama STM-1 contienen la información de control de sección y de línea y recibe el nombre de cabecera de sección, ver figura 4.

1. La cabecera de sección de regeneración está formada por las tres primeras filas. La información de esta cabecera es procesada en cada repetidor de línea. En la figura 5 aparece el contenido de esta cabecera y el significado de uso de estos bytes.
2. La cabecera de sección de multiplexación está formada por las cinco últimas filas. Se procesa en los multiplexores (interfaz de línea) donde se extraen y combinan las señales de diferentes tramas. En la figura 5 aparece el contenido de esta cabecera y el significado de uso de estos bytes.
3. El área de punteros, ver figura 5, contiene información sobre la posición exacta de la información de usuario dentro de la trama; esta posición se indica mediante punteros.

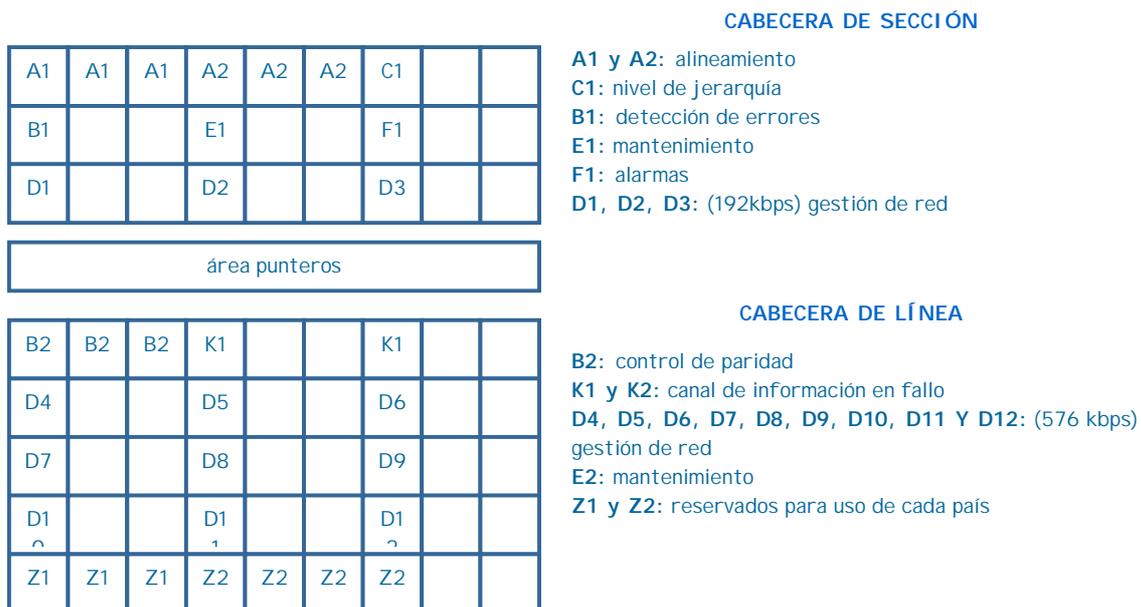


Figura 5. Estructura de las cabeceras de línea y de sección

3.2.2 Estructura de la cabecera de trayecto

La parte de datos de usuario está formada por una cabecera de control que ocupa una columna, denominada cabecera de trayecto y por los datos de usuario, ver figura 4. En la figura 6 aparece el contenido de esta cabecera y el significado de uso de estos bytes.

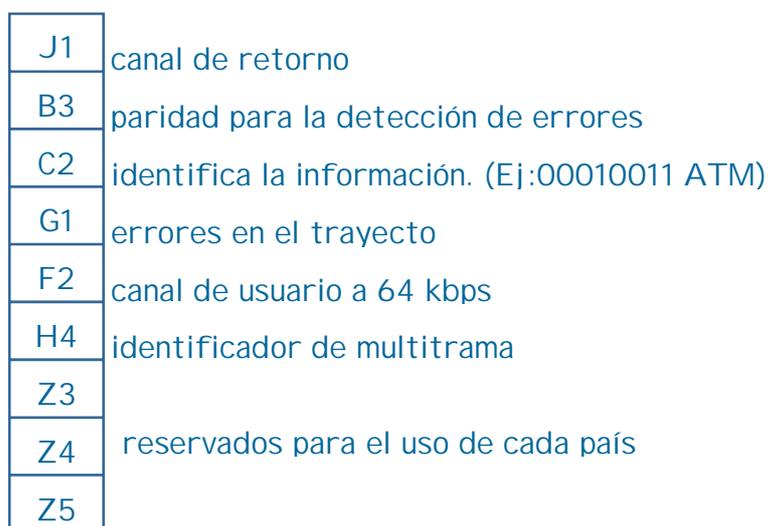


Figura 6. Estructura de la cabecera de trayecto

3.3 Definiciones

Para entender cómo se multiplexan las distintas tramas es necesario previamente definir y entender una serie de conceptos:

- **Contenedor (C-n)** (n=1, 2, 3, 4): es la información propiamente dicha. Cada contenedor se define por niveles, **n**, dependiendo de la trama que sea 2Mbps, 34 Mbps, 140Mbps, etc. Por ejemplo una trama de 2 Mbps se almacena en un contenedor C-12.
- **Contenedor Virtual (VC-n)**. Un contenedor virtual es la estructura para transportar la información a nivel de trayecto. En definitiva es un contenedor con una cabecera de trayecto. Hay definidas dos estructuras:
 1. VC-n de bajo nivel (n=1, 2)
 2. VC-n de alto nivel (n=3, 4)
- **Unidad tributaria-n (TU-n)** es la estructura que permite adaptar la capa de bajo nivel y la alto nivel. Está formada por un contenedor virtual de orden 1, 2, ó 3 y por un puntero que indica la posición del VC dentro de la entidad superior que lo acoge.
- **Grupo de Unidad Tributaria (TUG-n)**. Está formado por varias unidades tributarias TU, ocupando posiciones fijas y definidas en la carga de VC-n de alto nivel (n=3, 4).
Hay definidas dos estructuras:
 1. TUG-2: está formado por varios TU-1 o un TU-2.
 2. TUG-3: está formado por varios TUG-2 o un TUG-3
- **Unidad Administrativa (AU)**. Proporciona la adaptación entre la capa de trayecto de alto nivel y la capa de línea. Está formada por un contenedor virtual (VC) de alto nivel n=3, 4 y por un puntero que indica la posición del VC dentro de la entidad superior que lo acoge.
- **Grupo de Unidad Administrativa (AUG)**. Está formada por varias unidades administrativas ocupando posiciones fijas en el área de datos de una trama STM-N. Puede estar formada por:
 1. Tres AU-3
 2. Un solo AU.
- **STM-N** (Synchronous transport Module Level N). Es la estructura de información utilizada para transmitir información a nivel de sección. Está formada por una cabecera de sección (SOH) y por los datos de usuario. El campo de datos está formada por **N** grupos administrativos (AUG) situados en posiciones fijas y definidas.

En la figura 7 aparece un esquema de las distintas maneras que los diferentes tributarios son organizados dentro de una trama STM-N.

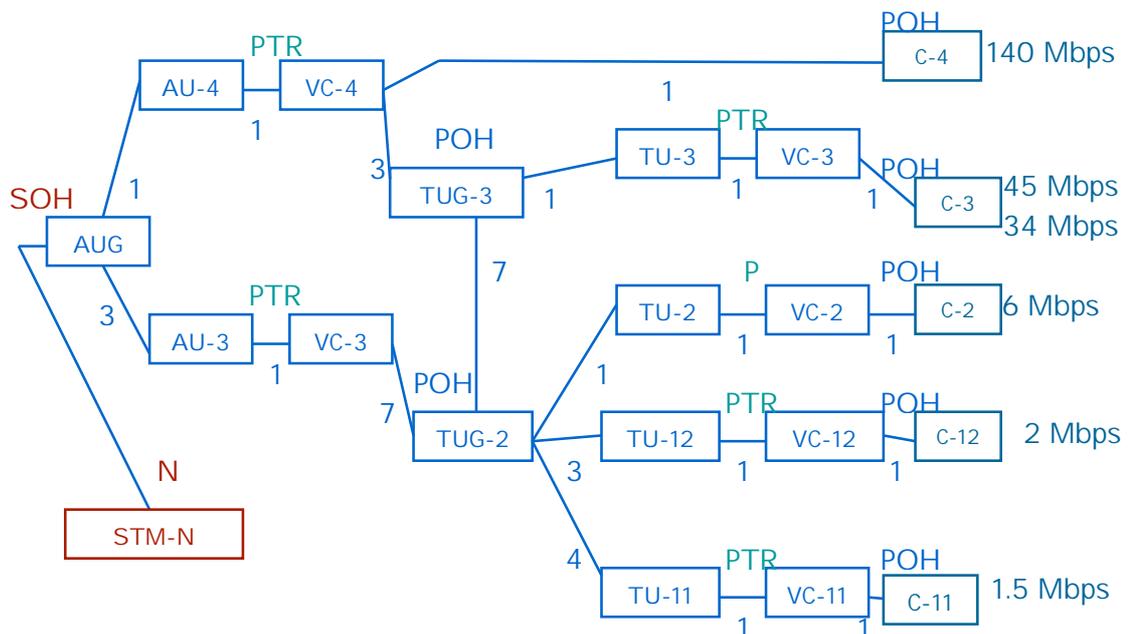


Figura 7. Composición de la trama STM-N

3.3 Trama STM-N

Para multiplexar las señales en una trama hay que considerar que la trama STM-1 es la unidad básica. Todas las señales, ver figura 7, se encapsulan en un contenedor con su cabecera, se combinan con otras señales hasta completar una trama STM-1. Cada tributario tiene su contenedor específico.

3.3.1 La Trama STM-4 y STM-16

La trama básica es la STM-1 a 155.52 Mbps. La siguiente trama en la jerarquía SDH es la trama STM-4, la cual presenta una velocidad de 622 Mbps y es el proceso de multiplexación byte a byte de cuatro tramas STM-1, ver figura 8.

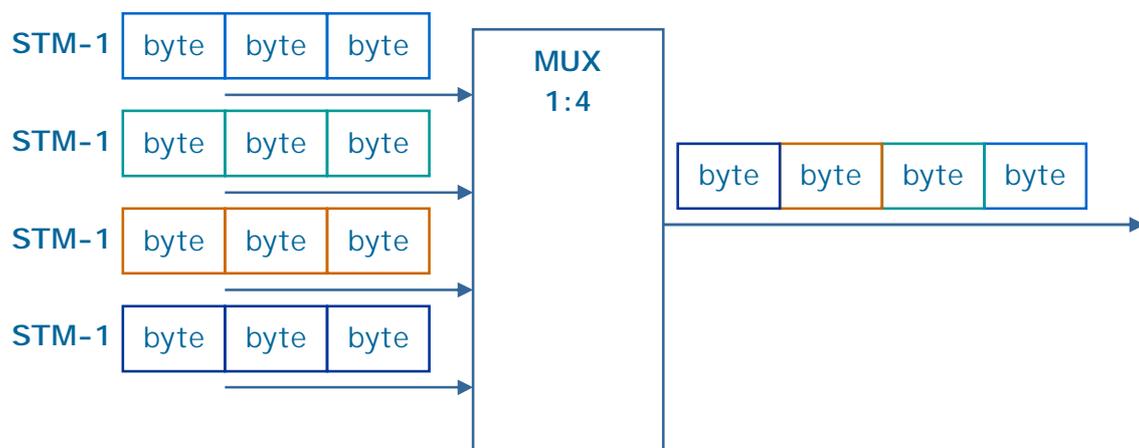


Figura 8. Multiplexación de la trama STM-4

En SDH las posibles desviaciones de reloj se puede asimilar mediante cambios en los valores de los punteros asociados.

3.5 Ventajas de SDH

La Jerarquía Digital Síncrona (SDH) presenta una serie de ventajas respecto a la Jerarquía Digital Plesiócrona (PDH). Algunas de estas ventajas son:

1. El proceso de multiplexación es mucho más directo. La utilización de punteros permite una localización sencilla y rápida de las señales tributarias de la información.
2. El procesamiento de la señal se lleva a cabo a nivel de STM-1. Las señales de velocidades superiores son síncronas entre sí y están en fase por ser generadas localmente en cada nodo de red.
3. Las tramas tributarias de las señales de línea, denominadas contenedores virtuales (VC) pueden ser subdivididas para acomodar cargas plesiócronas, tráfico ATM o unidades de menor orden. Esto supone mezclar tráfico de distinto tipo dando lugar a redes flexibles.
4. Compatibilidad de eléctrica y óptica entre los equipos de los distintos suministradores gracias a los estándares internacionales.

3.6 Desventajas de SDH

A pesar de las ventajas que ofrece la Jerarquía Digital Síncrona, presenta algunas desventajas:

1. Algunas redes PDH actuales presentan ya cierta flexibilidad y no son compatibles con SDH.
2. Necesidad de sincronismo entre los nodos de la red SDH, se requiere que todos los servicios trabajen bajo una misma referencia de temporización.
3. El principio de compatibilidad ha estado por encima de la optimización de ancho de banda. El número de bytes destinados a la cabecera de sección es muy grande, perdiéndose eficiencia.

4 Bibliografía

PCM y PDH

[1] Hernando Rábanos, *Sistemas de Telecomunicación, Transmisión en línea, Vol 1*, Servicio de Publicaciones de ETSIT- UPM, año 1991. Capítulo: 8

SDH

[1] Ming-Chawn Chow, *Understanding SONET/SDH Standards and Applications*, Andan Publisher, 1995

[2] William Stallings, *Comunicaciones y Redes de Computadores*, Prentice Hall, 6ª Edición, año 2000. Capítulo: 7

[3] William Stallings, *ISDN and Broadband ISDN with Frame Relay and ATM*, Prentice Hall, 4ª Edición, año 1999. Capítulo: 15

[4] Daniel Minolli, *Enterprise Networking Fractional T1 to SONET, Frame Relay to B-ISDN*, Artech House, año 1993.

[5] [<http://www.iec.org>].