

ASIGNATURA: 14130 - HERRAMIENTAS SOFTWARE DE DISEÑO ELECTRÓNICO

CENTRO: Escuela de Ingeniería de Telecomunicación y Electrónica

TITULACIÓN: Ingeniero de Telecomunicación

DEPARTAMENTO: INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

ÁREA: Tecnología Electrónica

PLAN: 13 - Año 200**ESPECIALIDAD:**

CURSO: Quinto curso **IMPARTIDA:** Primer semestre **TIPO:** Optativa

CRÉDITOS: 4,5

TEÓRICOS: 3

PRÁCTICOS: 1,5

Descriptores B.O.E.

Metodología de síntesis y verificación de circuitos integrados. Síntesis del diseño físico. Generadores de módulos, compiladores de silicio. Herramientas de colocado y cableado automático. Metodología para verificación del diseño físico a partir del layout geométrico y simbólico. Síntesis lógica y síntesis de máquina de estados finito. Análisis y verificación temporal y de fallos. Generación automática de vectores de test. Síntesis de alto nivel. Síntesis a partir de un lenguaje formal.

Temario

Para alcanzar los objetivos citados, la asignatura se organiza en los siguientes temas:

1. Introducción y Conceptos básicos en Automatización del Diseño (2 horas)
2. Herramientas básicas (2 horas)
 - 2.1 Programación de Scripts
 - 2.2 Caso práctico: Creación de scripts en CShell, Makefiles y scrips en TCL/TK. El sistema de revisión de versiones (RCS/CVS)
3. Automatización del diseño físico. (6 horas)
 - 3.1 Metodología y Flujo de diseño
 - 3.2 La planificación del diseño físico
 - 3.3 Técnicas para generación del árbol del reloj
 - 3.4 Colocado y ruteado
 - 3.5 Retroalimentación a las herramientas de síntesis lógica
 - 3.6 Aplicación a tecnologías CMOS submicra (DSM)
 - 3.7 Caso práctico: Cadence Silicon Ensemble
4. Automatización del diseño Lógico. (6 horas)
 - 4.1 Técnicas de descripción a nivel de transferencia de registros en VHDL.
 - 4.2 Reutilización de código
 - 4.3 Verificación.
 - 4.4 El proceso de síntesis y mapeado tecnológico
 - 4.5 Análisis de prestaciones: estudio del espacio de diseño

- 4.6 Aspectos de Diseño para Test (DFT) durante la síntesis del diseño lógico
- 4.7 La conexión con las herramientas de diseño físico
- 4.8 Caso práctico: Flujo de diseño de Synopsys Design Compiler y tecnologías CMOS submicra de UMC

- 5. Automatización del diseño de alto nivel (6 horas)
 - 5.1. Implementación hardware de algoritmos
 - 5.2 Técnicas de descripción algorítmica
 - 5.3 El proceso de síntesis y la exploración a nivel de arquitectura
 - 5.4 Caso práctico: Flujo de diseño de Synopsys Cocentric SystemC Compiler

- 6. Técnicas para la automatización del diseño de sistemas electrónicos (4 horas)
 - 6.1 Técnicas de especificación a nivel de sistemas
 - 6.2 Técnicas de partición HW/SW
 - 6.3 Síntesis de interfaces Hw/SW
 - 6.4 Caso práctico: El flujo de codiseño de Coware

- 7. Técnicas de desarrollo de núcleos IPs (4 horas)
 - 7.1 Tipos de núcleos
 - 7.2 Metodologías de desarrollo
 - 7.3 Caso práctico: Aplicación del flujo de diseño al desarrollo de un núcleo IP.

Conocimientos Previos a Valorar

Nociones de diseño electrónico. El conocimiento de UNIX facilita la realización de las prácticas.

Objetivos

El objetivo de la asignatura es profundizar en las distintas técnicas que permiten la automatización del

diseño electrónico desde su modelado hasta su implementación física mediante la síntesis y verificación a diferentes niveles:

- Físico (generación de módulos, planos de base, etc.),
- RT y lógico (síntesis lógica),
- Algoritmo (síntesis de alto nivel),
- Sistema (desarrollo de núcleos IPs, síntesis y verificación a nivel de sistema, co-diseño hardware/software), todo ello contemplado dentro de un entorno de diseño electrónico.

El alumno realizará un uso intensivo de diferentes lenguajes y formatos estándares implicados en el proceso de automatización (SystemC, VHDL, Verilog, EDIF, LDEF, PDEF, GDSII, etc).

Metodología de la Asignatura

Al tratarse de una asignatura que contiene una parte teórica y otra práctica, los medios a utilizar son de naturaleza diversa. La parte teórica se impartirá utilizando medios estándares (pizarra, transparencias y proyector). El método seguido en la parte teórica de esta asignatura es el expositivo, recurriendo a una enseñanza directa donde se pretende la participación directa del estudiante a través de presentaciones de ejercicios desarrollados.

Por otro lado la parte práctica se realiza en el laboratorio y hace uso de herramientas CAD para diseño electrónico y recursos WEB creados para la asignatura, así como otra información relacionada disponible en Internet. En las clases de prácticas se emplea la enseñanza directa, colectiva y activa, donde el alumno consolida los conocimientos teóricos en base a su aplicación en el desarrollo de diferentes casos prácticos.

Evaluación

El criterio que se propone para la evaluación de los conocimientos adquiridos de los conceptos desarrollados en esta asignatura es el siguiente:

* Memoria de las prácticas realizadas: 20%

* Realización y exposición de un trabajo monográfico en el que será necesaria la utilización coordinada de los conocimientos adquiridos durante el curso. El estudiante deberá entregar en el formato que se especifique una memoria del trabajo realizado, que expondrá en clase para su evaluación. Su evaluación positiva y presentación representa el 80% de la nota final.

Descripción de las Prácticas

Se han planificado 6 módulos de prácticas que complementan la formación teórica (correspondientes a los temas del 2 al 7). Los estudiantes se dividen en grupos de dos personas para optimizar el uso de las estaciones de trabajo. Las prácticas se desarrollarán en el laboratorio de Diseño VLSI (Pab. A, Planta 2ª).

1. Herramientas básicas: Creación de scripts en Cshell, PERL y TCL/TK. Uso de makefiles. Sistemas de revisión de versiones RCS/CVS. (2 horas)

2. Diseño físico en Cadence Silicon Ensemble. (2 horas)

3. Síntesis lógica en Synopsys Design Compiler. (2 horas)

4. Síntesis de alto nivel en Synopsys SystemC Compiler. (2 horas)

5. Técnicas de Codiseño usando Coware. (2 horas)

6. Automatización del flujo de diseño mediante scripts. (5 horas)

Bibliografía

[1] High-level synthesis: introduction to chip and system design

by Daniel D. Gajski, Nikil D. Dutt, Allen C-H Wu
Kluwer Academic, Boston (1992)
0792391942

[2] Reuse methodology manual for system-on-a-chip designs /

by Michael Keating, Pierre Bricaud.
Kluwer Academic Publishers,, Boston : (2002) - (3rd ed.)
1402071418

[3] CAD principles for architectural design: analytical approaches to computational representation of architectural form /

by Pieter van der Wolf.
Kluwer Academic,, Boston : (2001)
0792395018

[4] Synthesis and optimization of digital circuits.

De Micheli, Giovanni
McGraw-Hill,, New York :
0070163332

[5] Reuse techniques for VLSI design /

edited by Ralf Seepold and Arno Kunzmann.

Kluwer,, Boston : (1999)

0792384768

[6] Virtual components design and reuse /

edited by Ralf Seepold and Natividad Martínez Madrid.

Kluwer Academic Publishers,, Boston : (2000)

0792372611

[7] The art of verification with VERA /

Faisal I. Haque, Khizar A. Khan, Jonathan Michelson.

Verification Central,, Fremont, Ca : (2001)

097119940X

[8] Surviving the SOC Revolution: A Guide to Platform-Based Design /

Henry Chang... [et al.].

Kluwer Academic,, Boston : (1999)

0792386795

[9] A SystemC primer /

J. Bhasker.

Star Galaxy Publishing,, Allentown : (2002)

0-9650391-8-8

[10] Writing testbenches :functional verification of HDL models /

Janick Bergeron.

Kluwer Academic,, Boston : (2000)

0792377664 (acid-free paper)

[11] Logic synthesis using synopsys.

Kurup, Pran

Kluwer Academic,, Boston : (1995)

0792395824

[12] TCL and the TK toolkit.

Ousterhout, John K.

Addison-Wesley,, Reading (Massachusetts) : (1994)

020163337X

[13] System-on-a-Chip: Design and Test /

Rochit Rajsuman.

Artech House,, Boston : (2000)

1580531075

[14] Algorithms for VLSI Design Automation

Sabih H Gerez

John Wiley and Sons Ltd. - (1998)

0471984892

[15] Algorithms for VLSI physical design automation.

Sherwani, Naveed A.

Kluwer Academic,, Boston : (1995) - (2nd. ed.)

0792395921

[16] Manuales y librerías disponibles en línea (<http://eda.iuma.ulpgc.es>)

STH - IUMA

[17] System design with SystemC /

Thorsten Grötker ... [et al.].

Kluwer Academic Publishers,, Boston : (2002)

1402070721

[18] Codesign : computer-aided software/hardware engineering.

IEEE press,, New York : (1994)

0780310497

Equipo Docente

PEDRO FRANCISCO PÉREZ CARBALLO

(COORDINADOR)

Categoría: *TITULAR DE ESCUELA UNIV. INTERINO*

Departamento: *INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA*

Teléfono: *928451233* **Correo Electrónico:** *pedro.perezcarballo@ulpgc.es*

WEB Personal: *<http://www.diea.ulpgc.es/users/carballo/index.html>*