UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

PROYECTO DOCENTE *CURSO: 2003/04*

14159 - DISEÑO DE SISTEMAS EN CHIP

ASIGNATURA: *14159 - DISEÑO DE SISTEMAS EN CHIP*
CENTRO: *Escuela de Ingeniería de Telecomunicación y Electrónica*
TITULACIÓN: *Ingeniero en Electrónica*
DEPARTAMENTO: *INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA*
ÁREA: *Tecnología Electrónica*
PLAN: *10 - Año 200* **ESPECIALIDAD:**
CURSO: *Quinto curso* **IMPARTIDA:** *Primer semestre* **TIPO:** *Optativa*
CRÉDITOS: *4,5* **TEÓRICOS:** *3* **PRÁCTICOS:** *1,5*

Descriptores B.O.E.

Conocimientos de sistemas en chip. Núcleos y modulos IP. Codiseño hardware-software.Intercambio de núcleos. Estándares. Sistemas reconfigurables.

Temario

1.Introducción a los sistemas en un chip .....(6h)
1.1.Evolución de las metodologías de diseño
1.2.Metodologías de diseño en SoC
1.3.Codiseño hardware/software
1.4.Librerías de núcleos y módulos
1.5.Reutilización de módulos IP.

2.Metología de diseño para núcleos .....(6h)
2.1.Flujos de diseño en SoC
2.2.Guías para reutilizar diseños
2.3.Proceso de diseño para núcleos soft y firm
2.4.Proceso de diseños para núcleos hard
2.5.Metodologías de diseño para memorias y núcleos analógicos
2.6.Integración del sistema

3.Aspectos sobre sincronismo en sistemas digitales.....(7h)
3.1.Introducción
3.2.Skew de reloj y prestaciones de circuitos secuenciales
3.3.Circuitos autotemporizados
3.4.Sincronizadores y árbitros
3.5.Generadores de reloj y sincronización

4.Validación del diseño .....(4h)
4.1.Validación a nivel de núcleo
4.2.Validación a nivel de interfaz entre núcleos
4.3.Validación a nivel de chip

5.Test de sistemas en un chip .....(5h)

5.1.Test de módulos IPs digitales
5.2.Test de memorias integradas en el chip
5.3.Test de núcleos analógicos mixtos
5.4.Otros aspectos del text

Conocimientos Previos a Valorar

Herramientas software para el diseño de circuitos integrados y sistemas electrónicos, circuitos híbridos, etc. Sistemas especiales para el tratamiento de la información.

Objetivos

El principal objetivo es realizar una revisión del estado actual del diseño y el test de sistemas en un chip (SoCs), estructurándose esta asignatura en dos partes bien diferenciadas. En la primera parte, dedicada al diseño de SoCs, se hace hincapié en el flujo de diseño de IPs, así como en la validación de estos diseños. También se adentra en el estudio de la metodología de diseño para memorias integradas en el chip y los núcleos analógicos, ya que ambos constituyen una parte muy importante del diseño de SoCs. En cuanto a la validación del diseño, el objetivo se centra en los aspectos concretos enfocados a la verificación de los núcleos IPs y de sus interfaces, así como a la verificación a nivel de sistema.

En la segunda parte, el estudio se centra en el test de SoCs. En este apartado se hace un énfasis en el test de memorias integradas en el chip, así como el test de núcleos analógicos y mixtos.

Metodología de la Asignatura

Al tratarse de una asignatura que contiene una parte teórica y otra práctica, los medios a utilizar son de diversa naturaleza. La parte teórica se impartirá utilizando medios estándar (pizarra, transparencias y proyector). Por otro lado la parte práctica se desarrolla en el laboratorio y hace uso de herramientas CAD para diseño y verificación electrónica, así como otra información relacionada disponible en Internet.

Evaluación

La parte teórica de la asignatura se evaluará sobre la base de la realización de ejemplos de clase que serán entregados por el profesor. La evaluación final se hará con un exámen sobre conceptos básicos de la materia impartida. La parte teórica de la asignatura tendrá un peso del 60% de la nota final de la asignatura, siendo requisito indispensable para aprobar la asignatura superar ambas partes de forma independiente. Las prácticas se evaluarán en función del grado de conclusión de las tareas asignadas a cada alumno. Así, el alumno que complete el diseño e implementación del módulo asignado recibirá una calificación proporcional a la calidad del producto final. Además se valorará la capacidad de adaptación al trabajo en grupo por parte de cada alumno en la última parte de las prácticas. La parte práctica de la asignatura tendrá un peso del 40% de la nota final de la asignatura, siendo requisito indispensable para aprobar la asignatura superar ambas partes de forma individual.

Descripción de las Prácticas

Practica 1. Presentación del laboratorio .....(1h)
Práctica 2. Introducción al lenguaje Verilog .....(3h)
Práctica 3. Manejo de núcleos IPs .....(3h)
Práctica 4. Realización de unas especificaciones de verificación .... (2h)
Práctica 5. Construcción de un banco de pruebas .....(6h)

Bibliografía

[1] Reuse techniques for VLSI design /

edited by Ralf Seepold and Arno Kunzmann.
Kluwer,, Boston : (1999)
0792384768

[2] Surviving the SOC Revolution: A Guide to Platform-Based Design /

Henry Chang... [et al.].
Kluwer Academic,, Boston : (1999)
0792386795

[3] Hard IP: an introduction to increasing ROI for VLSI chip designs /

Peter Rohr.
[s.n.],, [S.l.] : (2002)
9090156402

[4] Digital integrated circuits: A design perspective.

Rabaey, Jan M.
Prentice Hall,, Upper Saddle River (New Jersey) : (1996)
0133942716

[5] System-on-a-Chip: Design and Test /

Rochit Rajsuman.
Artech House,, Boston : (2000)
1580531075

Equipo Docente

VALENTÍN DE ARMAS SOSA *(COORDINADOR)*

Categoría: TITULAR DE UNIVERSIDAD

Departamento: INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

Teléfono: 928452837 **Correo Electrónico:** valentin.dearmas@ulpgc.es

WEB Personal: http://www.iuma.ulpgc.es/users/armas

ROBERTO ESPER-CHAÍN FALCÓN

Categoría: TITULAR DE ESCUELA UNIVERSITARIA

Departamento: INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

Teléfono: 928451246 **Correo Electrónico:** roberto.esperchain@ulpgc.es

WEB Personal: http://www.iuma.ulpgc.es/users/esper