

ASIGNATURA: 14130 - HERRAMIENTAS SOFTWARE DE DISEÑO ELECTRÓNICO

CENTRO: Escuela de Ingeniería de Telecomunicación y Electrónica

TITULACIÓN: Ingeniero de Telecomunicación

DEPARTAMENTO: INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

ÁREA: Tecnología Electrónica

PLAN: 13 - Año 200**ESPECIALIDAD:**

CURSO: Quinto curso **IMPARTIDA:** Primer semestre **TIPO:** Optativa

CRÉDITOS: 4,5

TEÓRICOS: 3

PRÁCTICOS: 1,5

Información ECTS

Créditos ECTS: 3,6

Horas de trabajo del alumno: 90

Horas presenciales:

- Horas teóricas (HT): 22,0
- Horas prácticas (HP): 14,0
- Horas de clases tutorizadas (HCT): 9,0
- Horas de evaluación:-
- Otras:-

Horas no presenciales:

- Trabajos tutorizados (HTT): 26,0
- Actividad independiente (HAI): 19,0

Idioma en que se imparte: Español

Descriptores B.O.E.

Herramientas para el diseño electrónico. Síntesis y verificación de sistemas electrónicos. Herramientas de colocado y cableado automático. Metodología para verificación del diseño físico. Síntesis lógica y análisis temporal. Síntesis de alto nivel. Codiseño hardware/software. Simulación.

Temario

Para alcanzar los objetivos citados, la asignatura se organiza en los siguientes temas:

Tema 1. Introducción y Conceptos básicos en Automatización del Diseño. (2 horas)

- 1.1. Introducción.
- 1.2. Conceptos básicos.
- 1.3. El flujo de diseño.
- 1.4. Herramientas básicas.
- 1.5. Estandarización.

Tema 2. Técnicas para la automatización del diseño de sistemas electrónicos (ESL). (8 horas)

- 2.1. Introducción.
- 2.2. Modelos para la especificación a nivel de sistemas.

- 2.3. El lenguaje SystemC.
- 2.4. Verificación funcional.
- 2.2. Partición HW/SW.
- 2.3. Síntesis de interfaces HW/SW.
- 2.4. Caso de estudio: Flujo de diseño desde TLM.

Tema 3. Automatización del diseño de alto nivel. (8 horas)

- 3.1. Conceptos básicos en la síntesis de alto nivel.
- 3.2. Técnicas de descripción algorítmicas.
- 3.3. El proceso de síntesis y la exploración a nivel de arquitectura.
- 3.4. Implementación hardware de algoritmos.
- 3.5. Caso de estudio: Flujo de síntesis de alto nivel.

Tema 4. Automatización del diseño Lógico. (6 horas)

- 4.1. Técnicas avanzadas de descripción a nivel de transferencia de registros (RTL) en VHDL.
- 4.2. Simulación.
- 4.3. El flujo de síntesis y mapeado tecnológico.
- 4.4. Análisis de prestaciones.
- 4.5. Automatización del diseño para test (DFT).
- 4.7 La conexión con las herramientas de diseño físico.
- 4.8 Caso práctico: Flujo de diseño de Synopsys Design Compiler.

Tema 5. Automatización del diseño físico. (6 horas)

- 5.1. Metodología y flujo de diseño.
- 5.2. La planificación del diseño físico.
- 5.3. Técnicas para generación del árbol del reloj.
- 5.4. Colocado y ruteado.
- 5.5. Retroalimentación a las herramientas de síntesis lógica.
- 5.6. Caso práctico: Flujo de implementación física de Cadence.

Requisitos Previos

Nociones de diseño electrónico.
El conocimiento de UNIX facilita la realización de las prácticas.

Objetivos

El objetivo de la asignatura es profundizar en las distintas metodologías y herramientas que facilitan la automatización del diseño de sistemas electrónicos desde su modelado hasta su implementación física mediante la síntesis y verificación a diferentes niveles de abstracción (sistema, algoritmo, transferencias de registros (RT) y lógico, y físico), todo ello contemplado desde el punto de vista de la metodología de diseño de sistemas electrónicos.

El estudiante usará diferentes lenguajes y formatos estándares de la automatización del diseño electrónico (SystemC, VHDL, Verilog, EDIF, LDEF, PDEF, GDSII, etc).

1. Relacionados con los conceptos

- 1.1. Conocer los fundamentos para el modelado de sistemas electrónicos complejos, tanto en el dominio hardware como software.
- 1.2. Identificar las principales metodologías, herramientas implicadas en el diseño electrónico y su organización en flujos de diseño.
- 1.3. Conocer los fundamentos de los algoritmos y métodos de síntesis de alto nivel, síntesis lógica e implementación física del diseño

2. Relacionados con los procedimientos.

- 2.1. Utilizar la estación de trabajo bajo entorno UNIX.
- 2.2. Modelar y simular sistemas electrónicos desde SystemC.
- 2.3. Capturar las restricciones impuestas por las interfases Hardware/Software.
- 2.4. Aplicar las herramientas de diseño de síntesis de alto nivel.
- 2.5. Aplicar las herramientas de para la síntesis lógica e implementación del diseño.

3. Relacionados con las actitudes.

- 3.1. Interesarse por los principales fabricantes de herramientas de diseño y proveedores de núcleos.
- 3.2. Interesarse por los principales servicios de fabricación de prototipos de circuitos integrados.
- 3.3. Presentar y defender los proyectos realizados.

Metodología

Al tratarse de una asignatura que contiene una parte teórica y otra práctica, los medios a utilizar son de diversa naturaleza:

1. Clases de teoría:

- 1.1. Actividad del profesor:
 - Clases expositivas y de análisis de casos prácticos.

- 1.2. Actividad del estudiante:

- Presencial: Participación activa en clase,
- No Presencial: Estudio personal

2. Clases Prácticas:

- 2.1. Actividad del profesor:

- Planteamiento de la práctica
- Explicaciones relacionadas con los procedimientos.
- Apoyo en el razonamiento para el desarrollo de la(s) práctica(s)

- 2.2. Actividad del estudiante:

- Presencial: Realización de las prácticas propuestas sobre la estación de trabajo.
- No presencial: Realización de tutoriales preparados para el aprendizaje de las herramientas de diseño.

3. Tutorías.

- 3.1. Actividad presencial:

- Resolución de problemas y dudas de teoría y prácticas en el laboratorio.

- 3.2. Actividad no presencial:

- Resolución de dudas mediante correo electrónico u otros medios disponibles en línea (foros, blogs, preguntas más frecuentes, etc.). Esta actividad se realizará en los horarios de tutoría.

La asignatura dispone de un servidor web en línea disponible en:

<http://www.iuma.ulpgc.es/~carballo> (docencia => Ing. Telecomunicación => Herramientas ...).

Criterios de Evaluación

Consideraciones generales

Los criterios que se propone para la evaluación de los conocimientos adquiridos en esta asignatura son los siguientes:

1. Para aquellos estudiantes que se acogen a la evaluación continua:

- a. Asistencia y participación activa en clase, tanto de teoría como de prácticas (APC): hasta 15 puntos.
- b. Memoria de las prácticas realizadas (MP): hasta 25 puntos. Nota mínima para superar este apartado: 15 puntos.
- c. Realización y exposición de trabajo monográfico (TM). En el trabajo será necesaria la

utilización coordinada de los conocimientos adquiridos durante el curso. El estudiante deberá entregar, en el formato que se especifique, una memoria del trabajo realizado, que expondrá en clase para su evaluación. La evaluación positiva y presentación supone hasta 60 puntos. Nota mínima para superar este apartado: 30 puntos.

La nota final se calcula según la siguiente expresión:

$$\text{Nota Final} = \text{mínimo} [4, (\text{APC} + \text{MP} + \text{TM})/10]$$

Cuando alguna de las notas de los apartados b o c sea inferior a la nota mínima exigida, el estudiante deberá entregar las prácticas y/o el trabajo en las fechas de las siguientes convocatorias (extraordinaria y especial), en su caso.

2. Para aquellos estudiantes que no se acogen a la evaluación continua habrá un examen final de la asignatura, que cubre los contenidos teóricos y prácticos impartidos. Para ello el estudiante deberá desarrollar un ejercicio sobre la estación de trabajo utilizando las herramientas de diseño microelectrónico explicadas en la asignatura. Esto supone hasta 100 puntos de la nota final. Para superarla es necesario obtener 50 puntos.

Actividades que liberan materia: actividades correspondientes a los apartados 1.b. y 1.c. de las consideraciones generales

Actividades que no liberan materia: actividad que se indica en el apartado 1.a. de las consideraciones generales

Descripción de las Prácticas

Se han planificado 4 módulos de prácticas que complementan la formación teórica realizadas de forma individual en la estación de trabajo. Las prácticas se desarrollan en el Laboratorio de Diseño VLSI (Edificio de Electrónica y Telecomunicación, Pab. A, Planta 2ª).

Módulo 1. Herramientas básicas (2 horas).

Creación de scripts en CShell, PERL y TCL/TK. Uso de makefiles. Sistema de revisión de versiones RCS/CVS. En esta práctica el estudiante se entrena en las herramientas de desarrollo del entorno UNIX.

Módulo 2. Técnicas de diseño a nivel de sistemas (ESL)(6 horas).

Se plantea la creación del modelo de un bloque funcional de un sistema electrónico donde parte del mismo se implementa en hardware (SystemC) y otra parte se implementa en software (C++). Asimismo se realiza la cosimulación Hardware/Software del sistema.

Módulo 3. Síntesis del diseño mediante las herramientas Synopsys. (4 horas).

El estudiante aprende a realizar la síntesis del diseño hardware en las herramienta de Synopsys para diferentes tecnologías de implementación.

Módulo 4. Diseño físico del diseño. (3 horas).

El estudiante aborda el problema de la implementación física del diseño dependiendo de la tecnología de implementación escogida, ya sea para el prototipo sobre FPGA como para la implementación en un SoC en tecnologías submicra.

Bibliografía

[1 Básico] SystemC: from the ground up /

by David C. Black ... [et al.].

Springer., New York : (2010)

978-0-387-69957-8

[2 Básico] Electronic Design Automation for Integrated Circuits Handbook /

edited by Louis Dcheffer, Luciano Lavagno and Grant Martin.

Taylor & Francis,, Boca Raton, F.L. : (2006)

0849330963 O.C.

[3 Básico] Advanced ASIC chip synthesis :using Synopsys Design Compiler, Physical Compiler, and PrimeTime /

Himanshu Bhatnagar.

Kluwer Academic Publishers,, Boston : (2002) - (2nd ed.)

0792376447

[4 Básico] Algorithms for VLSI physical design automation /

Naveed A. Sherwani.

Kluwer Academic Publishers,, Boston : (1999) - (3rd ed.)

0-7923-8393-1

[5 Básico] Algorithms for VLSI design automation /

Sabih H. Gerez.

Wiley,, Chichester : (2005) - (updated with corrections 2005.)

0471984892

[6 Recomendado] UNIX shell programming.

Arthur, Lowell Jay

John Wiley & Sons,, New York : (1990) - (2 ed.)

*0471518212 pbk**

[7 Recomendado] TLM-Driven Design and Verification Methodology /

Brian Bailey ... [et al.].

Cadence,, San Jose, CA : (2010)

978-0-557-53906-2

[8 Recomendado] Synthesis and optimization of digital circuits.

De Micheli, Giovanni

McGraw-Hill,, New York :

0070163332

[9 Recomendado] FPGA-based prototyping methodology manual :best practices in design-for-prototyping /

Doug Amos, Austin Lesea, Rene Richter.

Synopsys Press,, Mountain View, CA : (2011)

978-1-61730-004-2 (pbk. : alk. paper)

[10 Recomendado] Transaction level modeling with SystemC: TLM concepts and applications for embedded systems /

edited by F. Ghenassia.

Springer,, Dordrecht : (2005)

0-387-26232-6

[11 Recomendado] High-Level Synthesis Blue Book /

Michael Fingeroff.

Xlibris Corporation,, [S.l.] : (2010)

978-1-4500-9724-6

[12 Recomendado] Colección de artículos de IEEE sobre Electronic Design Automation para el estudio por parte del estudiante. Disponibles en línea a través de las herramientas de búsqueda de la Biblioteca de la ULPGC.

Varios

Organización Docente de la Asignatura

Contenidos	Horas					Competencias y Objetivos
	HT	HP	HCT	HTT	HAI	
S1. Introducción y Conceptos básicos en Automatización del Diseño. (Herramientas básicas)	2	1			1	1.1, 1.2, 2.1, 3.1
S2. Modelos para la especificación a nivel de sistemas	2	1			1	1.1, 2.2
S3. El lenguaje SystemC (Herramientas RCS/CVS, TCL, PERL y Makefile)	2	1			2	1.1, 2.2
S4. El lenguaje SystemC. Verificación. (Técnicas de diseño a nivel de sistemas - ESL)	2		1	2	1	1.1, 2.2, 3.1
S5. Partición Hardware/Software. Síntesis de interfaces HW/SW.	2	1			2	1.3, 2.3, 2.4, 3.1
S6. Caso de estudio: Flujo de co-diseño en Mentor.		1	2	6		2.3, 3.1, 3.3
S7. Conceptos básicos en la síntesis de alto nivel.	2	1			2	1.3, 2.2
S8. Técnicas de descripción algorítmicas	2	1			2	1.3, 2.2

Contenidos	Horas					Competencias y Objetivos
	HT	HP	HCT	HTT	HAI	
S9. Implementación hardware de algoritmo.	2	1			2	1.2, 1.3, 2.2, 2.3, 3.2
S10. Caso de estudio: Agility SystemC compiler.		1	2	6		2.4, 3.1, 3.3
S11. Flujo de síntesis lógica y mapeado tecnológico.	2	1			2	1.2, 1.3, 2.5, 3.1, 3.2
S12. Automatización del diseño para test.	2	1			2	1.3, 3.1
S13. Caso de estudio: Synopsys Design Compiler.		1	2	6		2.5, 3.1, 3.2, 3.3
S14. Automatización del diseño físico.	2	1			2	1.3, 3.1, 3.2
S15. Caso de estudio: Cadence Encounter.		1	2	6	0	2.5, 3.3

Equipo Docente

PEDRO FRANCISCO PÉREZ CARBALLO

(COORDINADOR)

Categoría: PROFESOR COLABORADOR

Departamento: INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

Teléfono: 928451233 **Correo Electrónico:** pedro.perezcarballo@ulpgc.es

WEB Personal: <http://www.diea.ulpgc.es/users/carballo/index.html>

PEDRO HERNÁNDEZ FERNÁNDEZ

(RESPONSABLE DE PRACTICAS)

Categoría: PROFESOR COLABORADOR

Departamento: INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

Teléfono: 928457326 **Correo Electrónico:** pedro.hdezfdz@ulpgc.es

WEB Personal: <http://www.diea.ulpgc.es/users/pedrohfd/index.html>

Resumen en Inglés

The student will be trained in Electronic Design Automation (EDA), including the following topics:

- synthesis and verification of electronic systems,
- automatic placement and routing (P&R) tools,
- logic synthesis and timing analysis,

- high level synthesis (HLS),
- Hardware/Software co-design,
- simulation and virtual prototyping and
- Electronic System level (ESL) design methodologies.

Most of the practical work will be done with commercial tools as Cadence, Synopsys and/or Mentor Graphics using CMOS sub-micron technologies in a UNIX design environment.