



UNIVERSIDAD DE LAS PALMAS  
DE GRAN CANARIA

GUÍA DOCENTE

CURSO: 2013/14

**14109 - DISEÑO DE CIRCUITOS  
INTEGRADOS PARA COMUNICACIONES**

**ASIGNATURA:** 14109 - DISEÑO DE CIRCUITOS INTEGRADOS PARA COMUNICACIONES

**CENTRO:** Escuela de Ingeniería de Telecomunicación y Electrónica

**TITULACIÓN:** Ingeniero de Telecomunicación

**DEPARTAMENTO:** INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

**ÁREA:** Tecnología Electrónica

**PLAN:** 13 - Año 200 **ESPECIALIDAD:**

**CURSO:** Cuarto curso **IMPARTIDA:** Segundo semestre **TIPO:** Optativa

**CRÉDITOS:** 4,5

**TEÓRICOS:** 3

**PRÁCTICOS:** 1,5

### Información ECTS

Créditos ECTS: 3.6

Horas de trabajo del alumno:90

Horas presenciales:

- Horas Teóricas (HT): 26.0
- Horas Prácticas (HP): 14.0
- Horas Clases Tutorizadas (HCT): 3.0
- Horas de evaluación: 2.0
- Otras:0.0

Horas no presenciales:

- Trabajos Tutorizados (HTT): 20.5
- Actividad Independientes (HAI):24.5

Idioma en que se imparte: español

### Descriptores B.O.E.

Diseño de circuitos integrados específicos y semiespecíficos en PLD, red de puertas y red de células. Herramientas software para especificación, viabilidad, diseño, simulación, remisión a fabrica y test de circuitos específicos. Técnicas de partición, prototipado e implementación de circuitos.

### Temario

TEMA 0: PRESENTACIÓN DE LA ASIGNATURA (2 horas)

TEMA 1: INTRODUCCIÓN A LOS SISTEMAS EN UN CHIP (6 horas)

1.1 Evolución de las metodologías de diseño

1.2 Metodologías de diseño en SoC

1.2.1 Diseño basado en bloques

1.2.2 Diseño basado en plataformas

1.3 Codiseño hardware/software

1.3.1 Flujo en Codiseño

1.3.2 Herramientas para codiseño

1.4 Librerías de núcleos y módulos IPs

- 1.4.1 Tipos de núcleos y módulos IPs
- 1.4.2 Interfaz entre módulos IPs
- 1.5 Reutilización de módulos IPs
  - 1.5.1 Bases para reutilizar diseños
  - 1.5.2 Modelos para reutilización de diseños

## TEMA 2: METODOLOGÍA DE DISEÑO PARA NÚCLEOS (6 horas)

- 2.1 Flujos de diseño en SoC
  - 2.1.1 Requisitos del diseño
  - 2.1.2 Especificaciones. Plan de desarrollo y plan de pruebas
  - 2.1.3 Diseño arquitectural
  - 2.1.4 Verificación
  - 2.1.5 Síntesis lógica
  - 2.1.6 Diseño físico
  - 2.1.7 Documentación (checklist y deliverables)
- 2.2 Guías para reutilizar diseños
- 2.3 Proceso de diseño para núcleos soft y firm
  - 2.3.1 Flujo de diseño
  - 2.3.2 Proceso de desarrollo
  - 2.3.3 Guías para realización de la descripción RTL
- 2.4 Proceso de diseño para núcleos tipo hard
  - 2.4.1 Especificidades de diseño de núcleos en silicio
  - 2.4.2 Proceso de desarrollo de núcleos tipo hard
- 2.5 Metodologías de diseño para memorias y núcleos analógicos
  - 2.5.1 Soluciones circuitales
  - 2.5.2 Compilador de memorias
  - 2.5.3 Modelos de simulación
  - 2.5.4 Especificación de circuitos analógicos
- 2.6 Integración del sistema
  - 2.6.1 Diseñando con soft IPs
  - 2.6.2 Diseñando con hard IPs
  - 2.6.3 Introducción a la verificación del sistema

## TEMA 3: ASPECTOS SOBRE EL SINCRONISMO EN CIRCUITOS DIGITALES (6 horas)

- 3.1 Introducción
- 3.2 Skew del reloj y prestaciones de circuitos secuenciales
  - 3.2.1 Esquema de fase sencilla disparado por flanco
  - 3.2.2 Dos fases maestro-esclavo
  - 3.2.3 Otros estilos de sincronización
  - 3.2.4 Como tener en cuenta el skew de reloj
- 3.3 Circuitos autotemporizados
  - 3.3.1 Concepto
  - 3.3.2 Protocolos
- 3.4 Sincronizadores y árbitros
  - 3.4.1 Concepto e implementación de sincronizadores
  - 3.4.2 Árbitros
- 3.5 Generación de reloj y sincronización
  - 3.5.1 Generadores de reloj
  - 3.5.2 Sincronización a nivel de sistema

## TEMA 4: VALIDACIÓN DEL DISEÑO (6 horas)

- 4.1 Introducción a la verificación del diseño
  - 4.1.1 Importancia de la verificación

- 4.1.2 Tipos de verificación
- 4.1.3 Verificación funcional
- 4.1.4 Diferencias entre verificación y test
- 4.1.5 Verificación y reutilización de diseños
- 4.2 Verificación a nivel de módulo IP
  - 4.2.1 Plan de verificación
  - 4.2.2 Bancos de prueba
- 4.3 Validación a nivel de interfaz entre núcleos
- 4.4 Validación a nivel de chip
  - 4.4.1 Cosimulación
  - 4.4.2 Emulación
  - 4.4.3 Prototipos hardware

## TEMA 5: TEST DE SISTEMAS EN UN CHIP (4 horas)

- 5.1 Test de módulos IPs digitales
- 5.2 Test de memorias integradas en el chip
  - 5.2.1 Test a través del test funcional del ASIC
  - 5.2.2 Test mediante acceso directo
  - 5.2.3 Test mediante scan
  - 5.2.4 BIST para memorias
  - 5.2.5 Test mediante un microprocesador integrado
- 5.3 Test de núcleos analógicos y mixtos
  - 5.3.1 BIST para circuitos analógicos
  - 5.3.2 Test mediante procesador integrado
  - 5.3.3 IEEE P1149.4
- 5.4 Otros aspectos del test

## Requisitos Previos

Se recomienda haber cursado Diseño de Circuitos y Sistemas Electrónicos, troncal de cuarto curso.

## Objetivos

El principal objetivo didáctico de la asignatura Diseño de Circuitos Integrados para Comunicaciones es el de transmitir a los estudiantes los conocimientos y procedimientos que les capaciten para especificar y diseñar sistemas electrónicos integrados complejos (con varios millones de transistores) en todas sus fases, así como para seleccionar la tecnología de realización y las herramientas de diseño que permitan un prototipado rápido.

Más concretamente, la asignatura Diseño de Circuitos Integrados para Comunicaciones debe satisfacer de forma equilibrada los siguientes objetivos específicos de formación de los estudiantes:

- 1. Objetivos Conceptuales

- 1.1 Conocer las nuevas metodologías de diseño basadas en el uso de componentes virtuales (VC o IPs).

- 1.2 Conocer los diferentes tipos de componentes virtuales (soft, firm y hard), además de cómo diseñarlos. En este sentido, adquiere especial importancia conocer la integración de memorias y núcleos analógicos.

- 1.3 Conocer la planificación y los diferentes niveles de documentación necesarios en el diseño, con el fin de facilitar la integración de varios grupos de diseñadores en el desarrollo de un proyecto de elevada complejidad.

- 1.4 Conocer los métodos de validación de IPs y de un sistema completo, así como el desarrollo

de entornos específicos de verificación y bancos de prueba.

- 2. Objetivos Procedimentales

2.1 Desarrollar la capacidad de realizar diseños en grupo, siguiendo una metodología y planificación concreta.

2.2 Diseñar un subsistema de comunicaciones usando la metodología de IPs vista en las clases de teoría.

2.3 Elaborar la planificación y los diferentes niveles de documentación básicos necesarios en un diseño de ejemplo (subsistema de comunicaciones), con el fin de facilitar la integración de varios grupos de diseñadores en el desarrollo de un proyecto de elevada complejidad.

- 3. Objetivos Actitudinales

3.1 Comunicar en clase los avances de los diseños de ejemplo que se realizan en grupo.

3.2 Valorar de forma crítica las diferentes opciones existentes a la hora de realizar un diseño de elevada complejidad usando la metodología de IPs.

## Metodología

Al ser esta una asignatura a extinguir, la metodología sufre cambios respecto a los cursos anteriores. Por ello se centrará en asistencia en horas de tutoría por parte del profesor. Según se refleja en el Plan de Estudios, esta asignatura es de 4,5 créditos, lo que suponía 45 horas durante el cuatrimestre. Al deberse aplicar la Disposición Transitoria 4ª del Reglamento de Planificación Académica en este primer año deberá contemplarse el 25% de esta carga para esta asignatura durante el primer año en extinción, lo que suponen 11,25 horas de docencia, siendo, de forma más precisa, 7,5 lo que corresponde a teoría y 3,75 a la parte práctica. Por ello, las acciones tutoriales que se plantean se realizarán de la forma siguiente:

- Para la parte de teoría, y tras haberse fijado un día concreto, 1 hora cada una de las 7 primeras semanas en las que ese día fijado sea laboral. En esas acciones tutoriales se ayudará a los alumnos en el seguimiento secuencial del temario de la asignatura, resolviendo dudas y ejercicios.

En ellas se guiará al estudiante abordando aspectos fundamentales del contenido del temario de la asignatura, proponiendo consultas a la bibliografía que deberá realizar para profundizar en ellos, y se establecerá la elaboración de un trabajo sobre el temario que finalmente deberá presentar en la última hora de tutorías. Este trabajo se presentará en la penúltima semana del cuatrimestre, sesión que corresponderá a la número 8 para la parte de teoría.

- Para la parte de problemas, y tras haberse fijado un día concreto, 1 hora cada una de las 4 primeras semanas en las que ese día fijado sea laboral. En esas acciones tutoriales se ayudará a los alumnos en la realización de las prácticas normalmente propuestas en la parte de laboratorio de la asignatura.

Las actividades de tutorías se realizarán en el laboratorio de ASICs y Sistemas Digitales, en el Pabellón A de los Edificios de Telecomunicación del Campus de Tafira.

## Criterios de Evaluación

La materia de la asignatura consta de dos partes: teoría y prácticas. Para superar la asignatura se deben aprobar ambas partes. Si el estudiante aprueba cada una de las partes, la calificación final se compondrá siendo el 75% de la parte de teoría y el 25% de la parte de la de prácticas.

En caso de que no se haya superado alguna parte la calificación global en ningún caso superará la nota de 'suspenseo 4.5'.

Para la parte de teoría, el trabajo que se propone constituirá el 70% de la calificación de esta parte, y el resto se completará con lo que resulte de la elaboración de un examen. En caso de no haberse superado la parte de prácticas éstas se podrán superar con un examen que tratará de reproducir la temática de las prácticas realizadas en la asignatura tradicionalmente.

## Descripción de las Prácticas

Se recomienda al estudiante que realice las prácticas del curso 2012/2013, disponibles en el Campus Virtual y que contacte con el profesor para resolver cualquier duda que pudiera encontrar.

## Bibliografía

---

### [1 Básico] Surviving the SOC Revolution: A Guide to Platform-Based Design /

*Henry Chang... [et al.].*  
*Kluwer Academic,, Boston : (1999)*  
 0792386795

---

### [2 Básico] Digital integrated circuits: A design perspective /

*Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolic.*  
*Prentice Hall,, Upper Saddle River (New Jersey) : (2003) - (2nd ed.)*  
 0131207644

---

### [3 Básico] Writing testbenches :functional verification of HDL models /

*Janick Bergeron.*  
*Kluwer Academic,, Boston : (2000)*  
 0792377664 (acid-free paper)

---

### [4 Básico] System-on-a-Chip: Design and Test /

*Rochit Rajsuman.*  
*Artech House,, Boston : (2000)*  
 1580531075

---

### [5 Recomendado] Reuse methodology manual for system-on-a-chip designs /

*by Michael Keating, Pierre Bricaud.*  
*Kluwer Academic Publishers,, Boston : (2002) - (3rd ed.)*  
 1402071418

---

### [6 Recomendado] Winning the SoC revolution :experiences in real design /

*edited by Grant Martin & Henry Chang.*  
*Kluwer Academic Publishers,, Boston : (2003)*  
 1402074956

---

### [7 Recomendado] System-on-a-chip verification :methodology and techniques /

*Prakash Rashinkar, Peter Paterson, Leena Singh.*  
*Kluwer Academic Publishers,, Boston : (2001)*  
 0-7923-7279-4

## Organización Docente de la Asignatura

Contenidos	Horas					Competencias y Objetivos
	HT	HP	HCT	HTT	HAI	
Presentación	2	0	0	0	0.5	1.1

Contenidos	Horas					Competencias y Objetivos
	HT	HP	HCT	HTT	HAI	
Introducción a los Sistemas en un Chip (apartados 1.1 y 1.2); Práctica 1 y 2	2	2	0	0	1	1.1 y 2.1
Introducción a los Sistemas en un Chip (apartados 1.3 y 1.4)	2	0	0	0	1.5	1.1, 1.2
Introducción a los Sistemas en un Chip (apartado 1.5); Práctica 2	1.5	2.0	0.5	0	1.0	1.1 y 1.2
Metodología de diseño para núcleos (apartados 2.1 y 2.2)	1.5	0	0	1.5	1.5	1.1, 1.3, 2.1 y 3.1
Metodología de diseño para núcleos (apartados 2.3 y 2.4), Práctica 3	2	2	0.5	1	1	1.1, 1.3, 2.1, 2.2 y 3.1
Metodología de diseño para núcleos (apartados 2.5 y 2.6)	2	0	0	1.5	1.5	1.1, 2.1, 3.1 y 3.2
Aspectos sobre el sincronismo en circuitos digitales (apartados 3.1 y 3.2); Práctica 4	2	2	0.5	1.5	1.5	1.3, 2.1, 2.2, 3.1 y 3.2
Aspectos sobre el sincronismo en circuitos digitales (apartados 3.3 y 3.4)	1.5	0	0	2	2	1.3, 2.1, 3.1 y 3.2
Aspectos sobre el sincronismo en circuitos digitales (apartado 3.5); Práctica 5	1.5	2	0.5	2	1.5	1.3, 2.1, 2.2, 3.1 y 3.2
Validación del diseño (apartados 4.1 y 4.2)	1.5	0	0	2	2.5	1.4, 2.1, 2.3, 3.1 y 3.2

Contenidos	Horas					Competencias y Objetivos
	HT	HP	HCT	HTT	HAI	
Validación del diseño (apartado 4.3); Práctica 5	1.5	2	0.5	2	2	1.4, 2.1, 2.2, 2.3, 3.1 y 3.2
Validación del diseño (apartado 4.4)	1.5	0	0	2.5	2.5	1.4, 2.1, 2.3, 3.1 y 3.2
Test de sistemas en un chip (apartados 5.1 y 5.2); Práctica 5	1.5	2	0.5	2	2	1.4, 2.1, 2.2, 2.3, 3.1 y 3.2
Test de sistemas en un chip (apartados 5.3 y 5.4)	2	0	0	2.5	2.5	1.4, 2.1, 2.3, 3.1 y 3.2

## Equipo Docente

**TOMÁS BAUTISTA DELGADO**

(COORDINADOR)

**Categoría:** TITULAR DE UNIVERSIDAD

**Departamento:** INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

**Teléfono:** 928451275 **Correo Electrónico:** tomas.bautista@ulpgc.es

**WEB Personal:** <http://www.iuma.ulpgc.es/users/bautista/>

## Resumen en Inglés

Design of specific and semi-custom integrated circuits using PLDs, gate-arrays and nets of cells. Software tools for specification, feasibility, design, simulation, foundry submission and test of specific circuits. Techniques for partition, prototyping and implementation of integrated circuits.