



UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

PROYECTO DOCENTE CURSO: 2003/04

14102 - DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS

ASIGNATURA: 14102 - DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS

CENTRO: Escuela de Ingeniería de Telecomunicación y Electrónica

TITULACIÓN: Ingeniero de Telecomunicación

DEPARTAMENTO: INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

ÁREA: Tecnología Electrónica

PLAN: 13 - Año 2000**ESPECIALIDAD:**

CURSO: Cuarto curso **IMPARTIDA:** Primer semestre **TIPO:** Troncal

CRÉDITOS: 6

TEÓRICOS: 3

PRÁCTICOS: 3

Descriptores B.O.E.

Herramientas software para el diseño de circuitos integrados y sistemas electrónicos, circuitos híbridos, etc. Sistemas especiales para el tratamiento de la información.

Temario

Capítulo I. Introducción. (2 hora)

1.Introducción al diseño electrónico.

Capítulo II. Tecnologías de diseño de un sistema electrónico integrado. (8 horas)

2. Tecnologías básicas. (2 horas)

3. Redes de puertas programables (FPGAs). (4 horas)

3.1. Bloques lógicos.

3.2. Memorias.

3.3. Bloques de Entrada/Salida.

3.4. Interconexiones y buses.

3.5. Mapeado de bloques funcionales.

4. Tecnologías semicustom. (2 horas)

4.1. Redes de puertas.

4.2. Células estándar.

Capítulo III. Métodos de diseño de un sistema electrónico. (12 horas)

5. Flujos y herramientas de ayuda al diseño electrónico. (2 horas)

5.1. Flujos de diseño.

5.2. Formatos y lenguajes estándares en diseño electrónico.

5.3. Entonos de diseño electrónico.

6. Modelado y simulación del diseño. (2 horas)

6.1. Descripción HDL de hardware sintetizable.

6.2. Técnicas de reutilización (RMM).

6.3. Técnicas de simulación.

7. Diseño arquitectural y síntesis del diseño. (4horas)

7.1. Modelos arquitecturales de referencia.

7.2. Principios de la síntesis de alto nivel.

7.3. Metodología de síntesis a nivel de transferencia de registros (RT).

- 7.4. Interfaz con el diseño físico.
- 8. Diseño físico. (4 horas)
 - 8.1. Técnicas de partición y planificación del diseño.
 - 8.2. Colocación de bloques y células del diseño
 - 8.3. Técnicas de Interconexionado.
 - 8.4. Verificación post-layout.
 - 8.5. Interfaz con foundry.

Capítulo IV. Técnicas de diseño e integración de sistemas electrónicos. (8 horas)

- 9. Test de circuitos y sistemas integrados. (4 horas)
 - 9.1. Técnicas básicas de diseño para test.
 - 9.2. Técnicas de Boundary-Scan.
 - 9.3. Simulación de fallos
 - 9.4. Generación automática de patrones de test
- 10. Técnicas de integración para sistemas en chip. (4 horas)
 - 10.1. Concepto de sistema en Chip (SoC)
 - 10.2. Componentes virtuales (IPs)
 - 10.3. Flujo de diseño de SoC

Conocimientos Previos a Valorar

Al tratarse una asignatura de Segundo Ciclo los alumnos han debido cursar las asignaturas del primer ciclo, con los siguientes contenidos: electrónica básica, circuitos analógicos, circuitos digitales, sistemas digitales (microprocesadores) y diseño de sistemas electrónicos basados en microprocesador

Objetivos

El principal objetivo de la asignatura es capacitar al estudiante a abordar un diseño complejo, para lo cual debe conocer las tecnologías y las técnicas de diseño actuales y las metodologías y herramientas CAD involucradas en el diseño. Asimismo, se pretende que el estudiante tenga conocimiento del impacto que puede tener el uso de estas nuevas tecnologías en el diseño de los sistemas electrónicos.

Metodología de la Asignatura

Al tratarse de una asignatura con contenidos teóricos y prácticos, los medios a utilizar son necesariamente de diversa naturaleza. La parte teórica se impartirá utilizando medios estándares (pizarra, transparencias y proyector). El método seguido en la parte teórica de esta asignatura es el expositivo y deductivo. Para ello se presentan diferentes casos de aplicación industrial y se generalizan los conceptos adquiridos para su utilización en nuevos casos.

Por otro lado, la parte práctica se desarrolla en el laboratorio y hace uso de herramientas CAD para diseño electrónico, así como de recursos WEB creados para la asignatura. En las clases de prácticas el alumno consolida los conocimientos teóricos adquiridos en base a su aplicación en el desarrollo de diferentes casos reales.

Evaluación

En la evaluación de la asignatura se intenta tener en cuenta el trabajo global del alumno. Para ello se ha descompuesto la calificación del alumno en cuatro factores que contribuyen a la valoración final. Este esquema de evaluación, sin embargo, no debe favorecer a una valoración puntual de cada uno de ellos, sino que debe contribuir al esfuerzo personal en su globalidad. Por ello se han

organizado en dos grupos de calificaciones:

* Grupo de Teoría (T):

- La nota de teoría se compone de dos factores:

+ Examen de teoría (ET):

· Constará de problemas, preguntas cortas, de desarrollo y/o de tipo test. Representa el 35% de la nota final.

+ Asistencia a clase (APC):

· Este factor pretende valorar el esfuerzo del alumno por el trabajo continuo y motivado de la enseñanza teórica de la asignatura

· El estudiante puede obtener hasta el 15% de la nota final (0,1 punto por cada clase teórica). Este factor se aplica una vez se ha superado el examen de teoría.

+ Además de los exámenes de convocatoria previstos por la Escuela, se realizará un único examen parcial en el mes de diciembre, eliminatorio hasta la convocatoria ordinaria. La contribución de este examen parcial en la nota final del examen de teoría dependerá de la extensión del temario que se haya incluido dicho examen parcial.

* Prácticas (P):

- La nota de practicas igualmente se compone de dos factores:

+ Memoria de prácticas (MP):

· Para valorar este factor, la asistencia a prácticas es obligatoria, considerando una evaluación negativa de la no asistencia a un 20 % de la carga total del plan docente de la asignatura (6 horas de prácticas) sin justificación adecuada.

· La evaluación positiva de las memorias de prácticas representa el 25% de la nota final.

+ Examen final de prácticas (EP):

· Se realizará un examen final individual a cada estudiante sobre los conocimientos prácticos adquiridos (VHDL, flujos de diseño, ...).

· La evaluación positiva del examen de prácticas representa el otro 25% de la nota final.

De esta forma, la calificación del alumno se obtendrá de aplicar la siguiente ecuación, una vez se hayan superado ambas partes:

$$\text{Calificación Final} = T + P = (\text{APC} + 0,35 * \text{ET}) + (0,25 * \text{MP} + 0,25 * \text{EP})$$

Por otra parte, si el estudiante no supera alguna de las dos partes (teoría y prácticas), la nota final será: Mínimo (4.0, $T * 0,5 + P * 0,5$)

Descripción de las Prácticas

Las prácticas se realizaran en el laboratorio en grupos de dos estudiantes utilizando las herramientas de diseño que se mencionan sobre un equipo PC/Windows. Las prácticas están estructuradas en tres módulos, cada uno de ellos compuesto de cinco sesiones de dos horas:

Módulo 1. Introducción al diseño basado en VHDL (10 horas).

Este módulo incluye las siguientes prácticas: Introducción a VHDL, Introducción al entorno de captura y simulación HDLDesigner/ModelSim de Mentor Graphics, Conceptos avanzados de VHDL y Técnicas avanzadas de modelado y simulación con VHDL. El objetivo docente de este módulo de prácticas es que el estudiante se familiarice con las técnicas de descripción hardware y de simulación basada en VHDL. El estudiante entregará una memoria con el trabajo realizado en esta práctica.

Módulo 2: Diseño básico de FPGAS con Xilinx ISE (10 horas).

Este segundo módulo incluye las siguientes prácticas: Entorno de diseño ISE de Xilinx, captura del diseño, selección de dispositivos, entrada de restricciones de síntesis, técnicas de optimización, cálculo de disipación de potencia, diseño físico, verificación temporal y volcado sobre placa de

prototipado . El objetivo docente de este módulo de prácticas es que el estudiante se familiarice con las técnicas de diseño de FPGAs de Xilinx a partir de descripciones VHDL. El estudiante entregará una memoria con el trabajo realizado en esta práctica.

Módulo 3: Diseño avanzado de FPGAS con XILINX (10 horas).

En este módulo de prácticas se pretende que el alumno realice el diseño de un módulo, componente o núcleo a partir de la descripción VHDL, verificando su capacidad de implementación sobre una FPGA de Xilinx. Para ello aplicará los conocimientos adquiridos en los dos módulos anteriores. El estudiante entregará la base de datos completa del diseño, incluyendo la descripción VHDL, los módulos de test y los scripts de síntesis, además de una memoria que incluya el documento de especificación, el estudio teórico previo al modelado del componente, el flujo de diseño utilizado, la descripción completa de cada uno de los módulos, los resultados de implementación obtenidos para un caso de aplicación y la hoja de características del componente.

Bibliografía

[1] High-level synthesis: introduction to chip and system design

by Daniel D. Gajski, Nikil D. Dutt, Allen C-H Wu
Kluwer Academic, Boston (1992)
0792391942

[2] The boundary-scan handbook /

by Kenneth P. Parker.
Kluwer Academic,, Boston : (1992)
0792392701

[3] Reuse methodology manual for system-on-a-chip designs /

by Michael Keating, Pierre Bricaud.
Kluwer Academic Publishers,, Boston : (2002) - (3rd ed.)
1402071418

[4] VHDL coding styles an methodologies.

Cohen, Ben
Kluwer Academic,, Boston : (1995)
0792395980

[5] From ASIC to SoCs: A practical Approach

F. Nekoogar and F. Nekoogar
Prentice Hall PTR - (2003)
0-13-033857-5

[6] Real Word FPGA Design with Verilog /

Ken Coffman.
Prentice Hall PTR,, Upper Saddle River, NJ : (2000)
0130998516

[7] VHDL Lenguaje Estándar de Diseño Electrónico.

L. Terés, Y. Torroja, S. Olcoz, E. Villar, E. Lecha, S. Moré, T. Riesgo, y otros.
Ed. McGraw-Hill - (1998)

[8] Application-specific integrated circuits /

Michael John Sebastian Smith.
Addison-Wesley,, Reading, Mass. : (1997)
0201500221

[9] System-on-a-Chip: Design and Test /

Rochit Rajsuman.

Artech House,, Boston : (2000)

1580531075

[10] HDL chip design: A practical guide for designing, synthesizing and simulating ASICs and FPGAs using VHDL or Verilog.

Smith, Douglas J.

Doone,, Madison : (1996)

0965193438

[11] IEEE standard VHDL language: Language reference manual /

sponsors Design Automation Standards Committee of the IEEE Computer Society and Automatic Test Program Generation Subcommittee of IEEE Standards Coordinating Committee 20 : IEEE Std 1076-1993.

Institute of Electrical and Electronics Engineers,, New York : (1994)

1559373768

[12] Altera Web Resources (<http://www.altera.com>)

[13] VHDL interactive tutorial [: a CD-ROM learning tool for IEEE Std 1076 VHDL.

IEEE press,, New York : (1996)

[14] Manuales de herramientas de diseño y librerías tecnológicas disponibles en línea (<http://eda.iuma.ulpgc.es/>)

[15] Xilinx Web Resources (<http://www.xilinx.com>)

Equipo Docente

PEDRO FRANCISCO PÉREZ CARBALLO

(COORDINADOR)

Categoría: *TITULAR DE ESCUELA UNIV. INTERINO*

Departamento: *INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA*

Teléfono: *928451233* **Correo Electrónico:** *pedro.perezcarballo@ulpgc.es*

WEB Personal: *<http://www.diea.ulpgc.es/users/carballo/index.html>*

JORGE MONAGAS MARTÍN

Categoría: *PROFESOR ASOCIADO*

Departamento: *INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA*

Teléfono: *928457321* **Correo Electrónico:** *jorge.monagas@ulpgc.es*

WEB Personal: *<http://www.diea.ulpgc.es/users/jmonagas/index.html>*