UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

GUÍA DOCENTE *CURSO: 2006/07*

14102 - DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS

ASIGNATURA:	14102 - DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS
CENTRO:	Escuela de Ingeniería de Telecomunicación y Electrónica
TITULACIÓN:	Ingeniero de Telecomunicación
DEPARTAMENTO:	INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA
ÁREA:	Tecnología Electrónica
PLAN:	13 - Año 200 **ESPECIALIDAD:**
CURSO:	Cuarto curso **IMPARTIDA:** Primer semestre **TIPO:** Troncal
CRÉDITOS:	6 **TEÓRICOS:** 3 **PRÁCTICOS:** 3

Descriptores B.O.E.

Herramientas software para el diseño de circuitos integrados y sistemas electrónicos, circuitos híbridos, etc. Sistemas especiales para el tratamiento de la información.

Temario

Capítulo I. Introducción. (2 horas)
1.Introducción al diseño electrónico.

Capítulo II. Tecnologías de diseño de un sistema electrónico integrado. (8 horas)
2. Tecnologías básicas. (2 horas)
3. Redes de puertas programables (FPGAs). (4 horas)
3.1. Bloques lógicos.
3.2. Memorias.
3.3. Bloques de Entrada/Salida.
3.4. Interconexiones y buses.
3.5. Mapeado de bloques funcionales.
4. Tecnologías semicustom. (2 horas)
4.1. Redes de puertas.
4.2. Células estándar.

Capítulo III. Métodos de diseño de un sistema electrónico. (12 horas)
5. Flujos y herramientas de ayuda al diseño electrónico. (2 horas)
5.1. Flujos de diseño.
5.2. Formatos y lenguajes estándares en diseño electrónico.
5.3. Entornos de diseño electrónico.
6. Modelado y simulación del diseño. (2 horas)
6.1. Descripción HDL de hardware sintetizable.
6.2. Técnicas de reutilización (RMM).
6.3. Técnicas de simulación.
7. Diseño arquitectural y síntesis del diseño. (4horas)
7.1. Modelos arquitecturales de referencia.
7.2. Principios de la síntesis de alto nivel.
7.3. Metodología de síntesis a nivel de transferencia de registros (RT).

7.4. Interfaz con el diseño físico.
8. Diseño físico. (4 horas)
8.1. Técnicas de partición y planificación del diseño.
8.2. Colocación de bloques y células del diseño
8.3. Técnicas de Interconexionado.
8.4. Verificación post-layout.
8.5. Interfaz con foundry.

Capítulo IV. Técnicas de diseño e integración de sistemas electrónicos. (8 horas)
9. Test de circuitos y sistemas integrados. (6 horas)
9.1. Técnicas básicas de diseño para test.
9.2. Técnicas de Boundary-Scan.
9.3. Simulación de fallos
9.4. Generación automática de patrones de test
10. Técnicas de integración para sistemas en chip. (2 horas)
10.1. Concepto de sistema en Chip (SoC)
10.2. Componentes virtuales (IPs)
10.3. Flujo de diseño de SoC

Requisitos Previos

Al tratarse una asignatura de Segundo Ciclo los alumnos han debido cursar las asignaturas del primer ciclo, con los siguientes contenidos: electrónica básica, circuitos analógicos, circuitos digitales, sistemas digitales (microprocesadores) y diseño de sistemas electrónicos basados en microprocesador

Objetivos

El principal objetivo de la asignatura es capacitar al estudiante a abordar un diseño complejo, para lo cual debe conocer las tecnologías y las técnicas de diseño actuales y las metodologías y herramientas CAD involucradas en el diseño. Asimismo, se pretende que el estudiante conozca el impacto que puede tener el uso de estas nuevas tecnologías en el diseño de los sistemas electrónicos.

Metodología

Al tratarse de una asignatura con contenidos teóricos y prácticos, los medios a utilizar son necesariamente de diversa naturaleza. La parte teórica se impartirá utilizando medios estándares (pizarra, transparencias y proyector). El método seguido en la parte teórica de esta asignatura es el expositivo y deductivo. Para ello se presentan diferentes casos de aplicación industrial y se generalizan los conceptos adquiridos para su utilización en nuevos casos.

Por otro lado, la parte práctica se desarrolla en el laboratorio y hace uso de herramientas CAD para diseño electrónico, así como de recursos WEB creados para la asignatura. En las clases de prácticas el alumno consolida los conocimientos teóricos adquiridos por medio de su aplicación en el desarrollo de diferentes casos reales.

Criterios de Evaluación

Actividades que liberan materia

- Examen parcial, con un 25%.
- Realización de prácticas en el laboratorio o examen de prácticas, con un 50%.

Actividades que no liberan materia

Otras consideraciones

- Es imprescindible aprobar ambas partes (teoría (T) y prácticas (P)), por separado. Si el estudiante no supera alguna de las dos partes, la nota final será: Mínimo (4.0, T * 0,5 + P * 0,5)

- El examen parcial es eliminatorio hasta la convocatoria ordinaria.

- El examen de convocatoria de la parte teórica se realizará en la fecha prevista por el Centro y constará de problemas, preguntas cortas, de desarrollo y/o de tipo test.

- Para el cálculo de la nota de la evaluación continua de prácticas (P) se valorará la realización de los diseños propuestos en los Módulos de Prácticas (MP). Para la evaluación positiva de los diseños, estos deben funcionar de acuerdo a las especificaciones dadas, ya sea sobre el simulador (módulo 1) o sobre las placas de prototipado (módulos 2 y 3). Además se deberá entregar la memoria de prácticas siguiendo las instrucciones de cada módulo. Todo ello representa el 50% de la nota final.

- En el caso de que el estudiante no asista a un 20% de las prácticas deberá realizar un examen práctico consistente en la puesta en marcha, defensa y demostración del correcto funcionamiento de las prácticas propuestas para la asignatura. Durante la realización del examen, en cualquier momento se puede requerir al estudiante que implemente variaciones sobre los diseños propuestos en los módulos de prácticas.

- La nota final del estudiante se obtendrá de aplicar la siguiente ecuación, una vez se hayan superado ambas partes:
Calificación Final = 0,5*T + 0,5*P.

Descripción de las Prácticas

Las prácticas se realizaran en el Laboratorio de ASIC y Sistemas Digitales en grupos de dos estudiantes utilizando las herramientas de diseño que se mencionan sobre un equipo PC/Windows.

Las prácticas están estructuradas en tres módulos, cada uno de ellos compuesto de cinco sesiones de dos horas:

Módulo 1. Introducción al diseño basado en VHDL (10 horas).
Este módulo incluye las siguientes prácticas: Introducción a VHDL, Introducción al entorno de captura y simulación HDLDesigner/ModelSim de Mentor Graphics, Conceptos avanzados de VHDL y Técnicas avanzadas de modelado y simulación con VHDL. El objetivo docente de este módulo de prácticas es que el estudiante se familiarice con las técnicas de descripción hardware y de simulación basada en VHDL. El estudiante entregará los modelos funcionales VHDL y una memoria con el trabajo realizado en esta práctica.

Módulo 2: Diseño básico de FPGAS con Xilinx ISE (10 horas).
Este segundo módulo incluye las siguientes prácticas: Entorno de diseño ISE de Xilinx, captura del diseño, selección de dispositivos, entrada de restricciones de síntesis, técnicas de optimización, cálculo de disipación de potencia, diseño físico, verificación temporal y volcado sobre placa de prototipado. El objetivo docente de este módulo de prácticas es que el estudiante se familiarice con las técnicas de diseño de FPGAs de Xilinx a partir de descripciones VHDL. El estudiante

entregará el diseño propuesto funcionando sobre la placa de prototipado y una memoria describiendo el trabajo realizado en esta práctica.

Módulo 3: Diseño avanzado de FPGAS con XILINX (10 horas).
En este módulo de prácticas se pretende que el estudiante realice el diseño de un módulo, componente o núcleo a partir de la descripción VHDL, verificando su capacidad de implementación sobre una FPGA de Xilinx. Para ello aplicará los conocimientos adquiridos en los dos módulos anteriores. El estudiante entregará inicialmente la especificación detallada del diseño que deberá ser aceptada previamente a la realización de la práctica. A la finalización de la práctica, el estudiante entregará el diseño propuesto funcionando sobre la placa de prototipado (base de datos completa del diseño, incluyendo la descripción VHDL, los módulos de test y los scripts de síntesis, etc.), además de una memoria que incluya el documento de especificación, el estudio teórico previo al modelado del componente, el flujo de diseño utilizado, la descripción completa de cada uno de los módulos, los resultados de implementación obtenidos para un caso de aplicación y la hoja de características del módulo desarrollado.

Bibliografía

[1 Básico] Manuales y herramientas de diseño y librerías tecnológicas disponibles en línea
(http://eda.iuma.ulpgc.es)

[2 Básico] Application-specific integrated circuits /
Michael John Sebastian Smith.
Addison-Wesley,, Reading, Mass. : (1997)
0201500221

[3 Básico] IEEE standard VHDL language reference manual: IEEE std 1076-1993 (revision of IEEE std 1076-1987) /
sponsors, Design automation standards committee of the IEEE computer society and Automatic test program generation subcommittee of IEEE standards coordinating committee 20.
Institute of Electrical and Electronics Engineers,, New York : (1994)
1559373768

[4 Básico] Xilinx :All Programmable Technologies and Devices [
Xilinx Inc.
(2011)

[5 Recomendado] The boundary-scan handbook /
by Kenneth P. Parker.
Kluwer Academic,, Boston : (1992)
0792392701

[6 Recomendado] VHDL coding styles an methodologies.
Cohen, Ben
Kluwer Academic,, Boston : (1995)
0792395980

[7 Recomendado] Digital systems design with VHDL and synthesis :an integrated approach /
K.C. Chang.
IEEE Computer Society,, Los Alamitos, Calif : (1999)
0769500234

[8 Recomendado] HDL chip design: A practical guide for designing, synthesizing and simulating ASICs and FPGAs using VHDL or Verilog.

Smith, Douglas J.
Doone,, Madison : (1996)
0965193438

[9 Recomendado] VHDL: Lenguaje estándar de diseño electrónico.

, McGraw-Hill, Madrid, (1997)
8448111966

Equipo Docente

ROBERTO SARMIENTO RODRÍGUEZ *(COORDINADOR)*

Categoría: CATEDRATICO DE UNIVERSIDAD

Departamento: INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

Teléfono: 928451232 **Correo Electrónico:** roberto.sarmiento@ulpgc.es

FÉLIX BERNARDO TOBAJAS GUERRERO

Categoría: TITULAR DE UNIVERSIDAD

Departamento: INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

Teléfono: 928457325 **Correo Electrónico:** felix.tobajas@ulpgc.es

WEB Personal: http://www.iuma.ulpgc.es/users/tobajas/ampliacion

PEDRO FRANCISCO PÉREZ CARBALLO *(RESPONSABLE DE PRACTICAS)*

Categoría: PROFESOR COLABORADOR

Departamento: INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

Teléfono: 928451233 **Correo Electrónico:** pedro.perezcarballo@ulpgc.es

WEB Personal: http://www.diea.ulpgc.es/users/carballo/index.html

JORGE MONAGAS MARTÍN

Categoría: PROFESOR COLABORADOR

Departamento: INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

Teléfono: 928457321 **Correo Electrónico:** jorge.monagas@ulpgc.es

WEB Personal: http://www.diea.ulpgc.es/users/jmonagas/index.html