UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

PROYECTO DOCENTE *CURSO: 2005/06*

14109 - DISEÑO DE CIRCUITOS INTEGRADOS PARA COMUNICACIONES

ASIGNATURA: *14109 - DISEÑO DE CIRCUITOS INTEGRADOS PARA COMUNICACIONES*
CENTRO: *Escuela de Ingeniería de Telecomunicación y Electrónica*
TITULACIÓN: *Ingeniero de Telecomunicación*
DEPARTAMENTO: *INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA*
ÁREA: *Tecnología Electrónica*
PLAN: *13 - Año 200* **ESPECIALIDAD:**
CURSO: *Cuarto curso* **IMPARTIDA:** *Segundo semestre* **TIPO:** *Optativa*
CRÉDITOS: *4,5* **TEÓRICOS:** *3* **PRÁCTICOS:** *1,5*

Descriptores B.O.E.

Diseño de circuitos integrados específicos y semiespecíficos en PLD, red de puertas y red de células. Herramientas software para especificación, viabilidad, diseño, simulación, remisión a fábrica y test de circuitos específicos. Técnicas de partición, prototipado e implementación de circuitos.

Temario

TEMA 0: PRESENTACIÓN DE LA ASIGNATURA (2 horas)

TEMA 1: INTRODUCCIÓN A LOS SISTEMAS EN UN CHIP (6 horas)
1.1 Evolución de las metodologías de diseño
1.2 Metodologías de diseño en SoC
  1.2.1 Diseño basado en bloques
  1.2.2 Diseño basado en plataformas
1.3 Codiseño hardware/software
  1.3.1 Flujo en Codiseño
  1.3.2 Herramientas para codiseño
1.4 Librerías de núcleos y módulos IPs
  1.4.1 Tipos de núcleos y módulos IPs
  1.4.2 Interfaz entre módulos IPs
1.5 Reutilización de módulos IPs
  1.5.1 Bases para reutilizar diseños
  1.5.2 Modelos para reutilización de diseños

TEMA 2: METODOLOGÍA DE DISEÑO PARA NÚCLEOS (6 horas)
2.1 Flujos de diseño en SoC
  2.1.1 Requisitos del diseño
  2.1.2 Especificaciones. Plan de desarrollo y plan de pruebas
  2.1.3 Diseño arquitectural
  2.1.4 Verificación
  2.1.5 Síntesis lógica
  2.1.6 Diseño físico
  2.1.7 Documentación (checkclist y deliverables)

2.2 Guías para reutilizar diseños
2.3 Proceso de diseño para núcleos soft y firm
  2.3.1 Flujo de diseño
  2.3.2 Proceso de desarrollo
  2.3.3 Guías para realización de la descripción RTL
2.4 Proceso de diseño para núcleos tipo hard
  2.4.1 Especificidades de diseño de núcleos en silicio
  2.4.2 Proceso de desarrollo de núcleos tipo hard
2.5 Metodologías de diseño para memorias y núcleos analógicos
  2.5.1 Soluciones circuitales
  2.5.2 Compilador de memorias
  2.5.3 Modelos de simulación
  2.5.4 Especificación de circuitos analógicos
2.6 Integración del sistema
  2.6.1 Diseñando con soft IPs
  2.6.2 Diseñando con hard IPs
  2.6.3 Introducción a la verificación del sistema

TEMA 3: ASPECTOS SOBRE EL SINCRONISMO EN CIRCUITOS DIGITALES (6 horas)
3.1 Introducción
3.2 Skew del reloj y prestaciones de circuitos secuenciales
  3.2.1 Esquema de fase sencilla disparado por flanco
  3.2.2 Dos fases maestro-esclavo
  3.2.3 Otros estilos de sincronización
  3.2.4 Como tener en cuenta el skew de reloj
3.3 Circuitos autotemporizados
  3.3.1 Concepto
  3.3.2 Protocolos
3.4 Sincronizadores y árbitros
  3.4.1 Concepto e implementación de sincronizadores
  3.4.2 Árbitros
3.5 Generación de reloj y sincronización
  3.5.1 Generadores de reloj
  3.5.2 Sincronización a nivel de sistema

TEMA 4: VALIDACIÓN DEL DISEÑO (5 horas)
4.1 Introducción a la verificación del diseño
  4.1.1 Importancia de la verificación
  4.1.2 Tipos de verficación
  4.1.3 Verificación funcional
  4.1.4 Diferencias entre verificación y test
  4.1.5 Verificación y reutilización de diseños
4.2 Verificación a nivel de módulo IP
  4.2.1 Plan de verificación
  4.2.2 Bancos de prueba
4.3 Validación a nivel de interfaz entre núcleos
4.4 Validación a nivel de chip
  4.4.1 Cosimulación
  4.4.2 Emulación
  4.4.3 Prototipos hardware

TEMA 5: TEST DE SISTEMAS EN UN CHIP (5 horas)
5.1 Test de módulos IPs digitales

5.2 Test de memorias integradas en el chip
  5.2.1 Test a traves del test funcional del ASIC
  5.2.2 Test mediante acceso directo
  5.2.3 Test mediante scan
  5.2.4 BIST para memorias
  5.2.5 Test mediante un microprocesador integrado
5.3 Test de núcleos analógicos y mixtos
  5.3.1 BIST para circuitos analógicos
  5.3.2 Test mediante procesador integrado
  5.3.3 IEEE P1149.4
5.4 Otros aspectos del test

Conocimientos Previos a Valorar

Haber cursado Diseño de circuitos y sistemas electrónicos, troncal de cuarto curso.

Objetivos

El principal objetivo didáctico de la asignatura Diseño de Circuitos Integrados para Comunicaciones es el de transmitir a los estudiantes los conocimientos y procedimientos que les capaciten para especificar y diseñar sistemas electrónicos integrados complejos (con varios millones de transistores) en todas sus fases, así como para seleccionar la tecnología de realización y las herramientas de diseño que permitan un prototipado rápido. Más concretamente, la asignatura Diseño de Circuitos Integrados para Comunicaciones debe satisfacer de forma equilibrada los siguientes objetivos específicos de formación de los estudiantes:

1.- Conocer las nuevas metodologías de diseño basadas en el uso de componentes virtuales (VC o IPs).

2.- Conocer los diferentes tipos de componentes virtuales (soft, firm y hard), además de cómo diseñarlos. En este sentido, adquiere especial importancia conocer la integración de memorias y núcleos analógicos.

3.- Conocer la planificación y los diferentes niveles de documentación necesarios en el diseño, con el fin de facilitar la integración de varios grupos de diseñadores en el desarrollo de un proyecto de elevada complejidad.

4.- Conocer los métodos de validación de IPs y de un sistema completo, así como el desarrollo de entornos específicos de verificación y bancos de prueba.

5.- Desarrollar en el alumno la capacidad de realizar diseños en grupo, siguiendo una metodología y planificación concreta.

Metodología de la Asignatura

En las clases teóricas de la asignatura Diseño de Circuitos Integrados para Comunicaciones se utilizarán como técnicas didácticas para la transmisión de conocimientos las clases expositivas en las cuales se fomentará la participación de los estudiantes.

Como medios para la transmisión de conocimientos en las clases teóricas de la asignatura Diseño de Circuitos Integrados para Comunicaciones, se utilizarán la pizarra y el video-proyector de entre los recursos didácticos audiovisuales.

Como recursos didácticos impresos, se proporcionará a los estudiantes las fuentes bibliográficas utilizadas para la preparación y copia de las transparencias antes de que se imparta la parte correspondiente. Se fomentará en el estudiante el uso de Internet como medio de búsqueda de información actualizada.

CLASES PRÁCTICAS

Las prácticas de la asignatura Diseño de Circuitos Integrados para Comunicaciones se realizarán en grupos de dos personas con el fin de favorecer el espíritu crítico del estudiante, el intercambio de ideas, y la discusión de los resultados. Además, de cara a un máximo aprovechamiento de las clases prácticas en el laboratorio, el estudiante dispondrá de un guión sobre las prácticas a realizar con la suficiente antelación.

Con respecto al tipo de prácticas, las prácticas de laboratorio de la asignatura Diseño de Circuitos Integrados para Comunicaciones serán en su mayor parte de diseño, con el fin de fomentar, entre otras actitudes y destrezas, la creatividad y la motivación del estudiante, además de su iniciativa, el trabajo en equipo y el manejo de las técnicas de búsqueda de información. En cada práctica, se propondrán las especificaciones del trabajo a realizar, se orientará a los estudiantes en su diseño y desarrollo, y se supervisará su trabajo realizando un seguimiento del mismo. Cada práctica llevará una temporización que permita finalizarla en el plazo establecido.

Evaluación

Acividades que liberan materia:
-Asistencia y participación en clases con un 10%
-Realización de un trabajo con un 20%
-Realización de las prácticas con un 70%

Consideraciones generales:
-Se deben aprobar ambas partes por separdo.
-Aquellos estudiantes que no liberen la parte teórica deberán realizar un examen con preguntas de desarrollo y problmas prácticos.
-Aquellos estudiantes que no liberen la parte práctica deberán realizar un examen en laboratorio consistente en la realización de una práctica de complejidad similar a las realizadas durante el curso.

Descripción de las Prácticas

Las prácticas se desarrollarán en el Laboratorio de Diseño ASIC y Sistemas Digitales.
El programa de contenidos prácticos de la asignatura Diseño de Circuitos Integrados para Comunicaciones se ha elaborado en concordancia y como refuerzo de los contenidos teóricos, permitiendo a los alumnos experimentar las relaciones entre los conceptos teóricos y su implementación práctica, aprendiendo, a través de su esfuerzo personal y de su capacidad de trabajo con otros estudiantes, el manejo de módulos IPs (Intellectual Property) en un diseño, la descripción HDL a nivel de comportamiento de un sistema de mediana complejidad, la simulación del sistema y su verificación, y, sobre todo, permitirá al estudiante aprender una metodología de trabajo en grupo válida para el diseño de sistemas de elevada complejidad.

Los contenidos de la parte práctica de la asignatura Diseño de Circuitos Integrados para Comunicaciones están formados por las prácticas de laboratorio que se describen a continuación, especificándose para cada una de ellas su distribución temporal en horas de docencia:

PRÁCTICA 1: PRESENTACIÓN DEL LABORATORIO (1 hora). En esta práctica se presentan

los objetivos específicos y la metodología de trabajo que se seguirá para la realización y evaluación de las prácticas a o largo del curso, además de permitir la familiarización del estudiante con el puesto de prácticas y las normas de uso y seguridad del laboratorio. Además, en esta primera práctica, los estudiantes identificarán la estructura de directorios a utilizar en las estaciones de trabajo y la nomenclatura para la realización de las prácticas, tomando un primer contacto con el compilador de Verilog disponible en las estaciones de trabajo, así como con las diferentes fuentes de información, manuales y hojas de características disponibles en el laboratorio.

PRÁCTICA 2: INTRODUCCIÓN AL LENGUAJE VERILOG (3 horas). En esta práctica se estudia la sintaxis básica para la descripción de un diseño en lenguaje Verilog, incluyendo los números, identificadores, variables, estructura general, procesos, operadores, estructuras de control, asignaciones, temporizaciones, directivas,… Por otro lado, los estudiantes adquirirán los conceptos básicos de la descripción en Verilog a nivel estructural, de registros y de comportamiento, para lo cual describirán, usando el lenguaje HDL Verilog, diferentes circuitos lógicos combinacionales y secuenciales, además de simular un diseño descrito en Verilog y analizar el comportamiento mediante la representación gráfica de sus formas de ondas, con conocimiento de la jerarquía utilizada para desarrollar un banco de pruebas.

PRÁCTICA 3: MANEJO DE NÚCLEOS IPs (3 horas). En esta práctica se profundiza en la descripción de un diseño en lenguaje Verilog, en su simulación, y en el análisis de las formas de onda, para lo cual los estudiantes codificarán una máquina de estados finitos de mediana complejidad, lo que les permitirá, además, manejar un núcleo IP e integrarlo en el diseño a partir de su descripción estructural o de comportamiento a nivel HDL. Por último, los estudiantes trabajarán en un diseño con diferentes dominios de reloj y adaptarán las señales entre dominios para su posterior procesamiento.

PRÁCTICA 4: REALIZACIÓN DE UNAS ESPECIFICACIONES DE VERIFICACIÓN (2 horas). En esta práctica, los estudiantes comprenderán la finalidad que se persigue con la definición de las especificaciones de verificación, adquiriendo la metodología adecuada para la creación de las especificaciones de verificación de un sistema, así como su nomenclatura. Se identificarán los casos extremos que definen el funcionamiento básico de un sistema y se agruparán en base a las funciones que se deseen verificar, además de especificar los estados iniciales del sistema para la verificación de una determinada función y las diferentes acciones que deben ser verificadas para cada función.

PRÁCTICA 5: CONSTRUCCIÓN DE UN BANCO DE PRUEBAS (6 horas). En esta práctica se identificará y describirá, a partir de unas especificaciones de verificación, las diferentes tareas para la generación, tanto de los estímulos de entrada del sistema, como para llevar el sistema a un estado deseado. Con esta finalidad, se mostrará la estructura de directorios de un banco de pruebas y los estudiantes construirán, a partir de unas especificaciones de verificación, un banco de pruebas, incluyendo el módulo de test, con las llamadas a las tareas, el sistema a verificar y el módulo de jerarquía superior, también denominado módulo top. Posteriormente, realizarán la verificación y el análisis de las formas de onda, discriminando los posibles errores en el sistema de los errores propios del banco de pruebas, y finalizando con la cumplimentación, a partir de los resultados obtenidos de la verificación, de los cuadros de verificación proporcionados en las especificaciones, detallando, además, los posibles errores detectados.

Bibliografía

[1] Winning the SoC revolution :experiences in real design /

edited by Grant Martin & Henry Chang.
Kluwer Academic Publishers,, Boston : (2003)
1402074956

[2] From ASICS to SOCs :a practical approach /

Farzad Nekoogar, Faranak Nekoogar.
Prentice Hall/Professional Technical Reference,, Upper Saddle River, NJ : (2003)
0130338575

[3] Surviving the SoC revolution: A guide to plattform based design

H. Chant et al.
Kluwer Academic Publisher - (Primera)
0-7923-8679-5

[4] Writing testbenches. Functional verification of HDL models

J. Bergeron
Kluwer Academic Publisher - (Primera)
0-7923-7766-4

[5] Digital Integrated Circuits. A design perspective

J.M. Rabaey
Prentice Hall International - (Primera)
0-13-394271-6

[6] System on a chip, design and test

R. Rajsuman
Artech House Publishers - (Primera)
1-58053-107-5

Equipo Docente

ROBERTO SARMIENTO RODRÍGUEZ *(COORDINADOR)*

Categoría: CATEDRATICO DE UNIVERSIDAD

Departamento: INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

Teléfono: 928451232 **Correo Electrónico:** roberto.sarmiento@ulpgc.es

VALENTÍN DE ARMAS SOSA *(RESPONSABLE DE PRACTICAS)*

Categoría: TITULAR DE UNIVERSIDAD

Departamento: INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

Teléfono: 928452837 **Correo Electrónico:** valentin.dearmas@ulpgc.es

WEB Personal: http://www.iuma.ulpgc.es/users/armas